



EE Times.com | EETimes.eu | About | Contact | Feedback | RSS | Newsletter | Media Kit | Calendar of Events

Regional Editions: Germany France UK Scandinavia Israel Eastern Europe Russia [Renew / Update your subscription](#)

EE Times Europe » France

NEWS BY TOPIC

- Automotive
- Communications
- Consumer
- Design & IP
- Embedded
- Environment
- Industrial
- Power
- Production
- Research
- Semiconductor
- Test & Measurement
- Wireless

Insight SiP finalise une seconde levée de fonds

Anne-Francoise Pele
EE Times Europe
09/08/2009 10:45 AM

Print
Email
Reprints
SHARE

PARIS — La jeune pousse sophilopolitaine Insight SiP, spécialisée dans la conception de modules radiofréquence ultra-miniatures, vient de finaliser un second tour de table portant à un million d'euros le total des fonds levés au cours des 18 derniers mois.

Ce tour de financement, orchestré par les actionnaires historiques de la société et les investisseurs financiers Success Europe et Primavera, vise à aider Insight SiP à développer des modules de communication pour les marchés de la TV haute définition et des jeux vidéo, ainsi qu'à déployer massivement ses ventes à l'internationale.

"Ce tour de table effectué avec des investisseurs prestigieux et à très forte valeur ajoutée va accélérer notre marche en avant et nous donner les moyens d'atteindre notre objectif, à savoir devenir un leader mondial des modules de communication sans fil", commente Michel Beghin, directeur général d'Insight SiP.



PRODUCTS

- POWERED BY **EEX** EXPRESS
- Analog ICs
 - Boards/Buses
 - DSP
 - Displays
 - Electromechanical
 - Embedded Tools
 - Interconnect
 - Logic & Interface
 - Memory
 - MPUs/MCUs
 - Passives/Sensors
 - PLDs/FPGAs
 - Power Components
 - Power Sources
 - RF/Microwave
 - Test/Measurement

Créée en 2005 à Sophia Antipolis par trois experts de la microélectronique, Michel Beghin, Marc Vodovar et Chris Barratt, la jeune pousse Insight SiP est spécialisée dans la miniaturisation de modules RF via l'utilisation de la technologie System-in-Package (SiP).

Insight SiP participe à des projets collaboratifs comme Mimoc, en partenariat avec la R&D de France Télécom et les laboratoires L2MP et LEAT du CNRS, ainsi qu'à des projets au sein des pôles SCS et Pégase pour le développement de systèmes de surveillance médicale à distance et de capteurs embarqués pour l'aviation.

Please [login or register here](#) to post a comment or to get an email when other comments are made on this article

Print
Email
Reprints
SHARE

Technical Papers

[Strukturierte ASICs der zweiten Generation lösen zunehmend EPGAs ab](#)

[Nextreme Structured ASICs](#)

[UML for C](#)
[All White Papers >](#)

Podcasts

[Interview With Bruce Powell Douglass: What Is Agile?](#)

POLL

CAREER CENTER

Work - right now, just another four letter word.
[Open](#) | [Close](#)

TOP 5 FRANCE STORIES

- [Nominations à la direction commerciale de Soitec](#)
- [Forte chute du marché français des puces en 2008](#)
- [La médaille d'or du CNRS va à un expert en physique quantique](#)
- [French MEMS startup raises \\$5.6 million](#)
- [Le PDG de DiBcom à l'honneur](#)

RELATED ARTICLES

- [Capacity utilization expected to bounce back in Q3](#)
- [Opinion: Winners, losers in ATIC-Chartered deal](#)
- [Nokia + Netbook = what exactly? Join the conversation](#)
- [InnovaLight delivers 18 percent conversion efficiency for silicon ink solar cell](#)
- [Airbus uses Everspin's MRAMs](#)

Around EE Times Europe

Memory to rise to 3-D challenges
The semiconductor memory industry is about to experience major technological changes as three-dimensional multi-gate structures push transistors and memory architectures forward, according to a one-day memory workshop held last month in Grenoble, France, by leading researchers from around the world.

Forte chute du marché français des puces en 2008
Le Syndicat des Industries de micro et nanotechnologies, plus communément appelé Sitelesc, présente un triste bilan pour l'année 2008. Le marché français des semi-conducteurs a chuté de 16,8%, de 2 722 millions d'euros de chiffre d'affaires en 2007 à 1 693 millions d'euros en 2008.

Choisir un processeur faible consommation adapté à votre projet de conception
Auparavant, pour concevoir un CPU faible consommation, il fallait faire des concessions sur les fonctionnalités, abaisser la fréquence d'horloge, ou encore attendre l'arrivée de nouvelles technologies permettant de réduire la consommation d'énergie nécessaire en mode veille comme en mode actif. Aujourd'hui, ce n'est plus le cas : le monde des processeurs a subi des transformations radicales.

Convergence power multi-corner multi-mode : une nouvelle dimension pour la conception des circuits intégrés
S'il est si délicat de franchir la limite des 65-nm pour produire des circuits intégrés, c'est parce qu'il est extrêmement difficile de gérer efficacement la consommation associée.

Principes d'un convertisseur analogique-numérique (CAN)
Le numérique et l'analogique sont omniprésents. Mais quelle est la différence entre un CNA R-2R et un CNA à chaîne de résistances ?

Two things in life you can't do without..



Subscribe now

Available in print or digital format

For those of you involved in embedded systems development: which of the following types of operating system are you planning to use in your next project?

- In-house developed OS
- Commercial proprietary
- Linux
- Android
- My project doesn't need an OS

[Visit The Poll Archives](#)

[HOME](#) | [ABOUT](#) | [CONTACT](#) | [FEEDBACK](#) | [RSS](#) | [NEWSLETTER](#) | [MEDIA KIT](#) | [CALENDAR OF EVENTS](#) | [SUBSCRIPTIONS](#) | [ORIGINAL NEWS](#)

NETWORK WEBSITES

[Green SupplyLine](#) | [CommsDesign](#) | [DeepChip.com](#) | [Design & Reuse](#) | [Embedded.com](#) | [Embedded Edge Magazine](#) | [Embedded Computing Solutions](#) | [Planet Analog](#) | [eeProductCenter](#) | [Electronics Supply & Manufacturing](#) | [Inside \[DSP\]](#) | [Automotive DesignLine](#) | [Power Management DesignLine](#) | [Wireless Net DesignLine](#) | [Video/Imaging DesignLine](#) | [Industrial Control DesignLine](#) | [Programmable Logic DesignLine](#) | [Audio DesignLine](#) | [Mobile Handset DesignLine](#) | [TechOnLine](#) | [DSP DesignLine](#) | [EDA DesignLine](#) | [RF DesignLine](#) | [Digital Home DesignLine](#)

INTERNATIONAL

[EE Times](#) | [EE Times JAPAN](#) | [EE Times Asia](#) | [EE Times CHINA](#) | [EE Times FRANCE](#) | [EE Times GERMANY](#) | [EE Times Korea](#) | [EE Times Taiwan](#) | [EE Times UK](#)
[Electronics Supply & Manufacturing - China](#) | [Microwave Engineering Europe](#) | [Analog Designline Europe](#) | [Automotive Designline Europe](#) | [Power Management Designline Europe](#) | [Embedded-europe.com](#) | [Mechanical Design](#)

NETWORK FEATURES

[Career Center](#) | [Conference/Events](#) | [Custom Magazines](#) | [EE Times Info/Reader Service](#)
[NetSeminar Services](#) | [Sponsor Products](#) | [Subscribe to Print](#) | [Global Supply Chain Summit](#) | [Product Shopper](#) | [ProductCasts](#) | [Reprints](#) | [EDA Tech Forum](#)

UK 2009 ESC 6.10-8.10	The key element in your next embedded design.	Learn today. Design tomorrow. ESC Farnborough • October 6 - 8, 2009
------------------------------------	--	--

All materials on this site Copyright © 2009 TechInsights, a Division of United Business Media LLC., EETimes EU Copyright All rights reserved.
[Privacy Statement](#) | [Terms of Service](#)