

THESE

Présentée devant

L'UNIVERSITE DE PROVENCE AIX-MARSEILLE I

Pour obtenir

LE GRADE DE DOCTEUR

ECOLE DOCTORALE : Mécanique, Physique, Micro et Nanoélectronique

SPECIALITE : Micro et Nanoélectronique

Thèse présentée par :

OLIVIER FOURQUIN

Intitulé de la thèse :

CONCEPTION ET INTEGRATION EN TECHNOLOGIE "SYSTEM IN PACKAGE" D'EMETTEURS RECEPTEURS ULTRA LARGE BANDE POUR LES COMMUNICATIONS ULB IMPULSIONNELLES DANS LA BANDE DE FREQUENCE 3.1 - 10.6 GHZ

LABORATOIRE D'ACCUEIL: Institut Matériaux Microélectronique Nanoscience de Provence

EQUIPE D'ACCUEIL: CCI

DIRECTEUR DE THESE : Mr. Jean Gaubert

A soutenir le 7 décembre 2011

Y. DEVAL	Professeur (IMS)	Rapporteur
T. PARRA	Professeur (LAAS)	Rapporteur
J. GAUBERT	Professeur (IM2NP)	Directeur de thèse
S. BOURDEL	Maître de conférence (IM2NP)	Codirecteur de thèse
P. PANNIER	Professeur (IM2NP)	Examineur
J. Y. DAUVIGNAC	Professeur (LEAT)	Examineur
C. BARRAT	Ingénieur (Insight SIP)	Invité

La théorie, c'est quand on sait tout et que rien ne fonctionne. La pratique, c'est quand tout fonctionne et que personne ne sait pourquoi. Ici, nous avons réuni théorie et pratique : Rien ne fonctionne... et personne ne sait pourquoi !

A. Einstein

REMERCIEMENTS

Tout d'abord, je remercie Monsieur Rachid Bouchakour, directeur de l'Institut Matériaux, Microélectronique et Nanosciences de Provence (IM2NP) pour m'avoir accueilli au sein de l'institut et m'avoir permis de travailler dans d'excellentes conditions. Je remercie également Monsieur Herve Barthélémy responsable de l'équipe Conception de Circuit Intégré (CCI) pour m'avoir intégré au sein de l'équipe.

Je tiens à remercier Jean Gaubert, Professeur à l'Université Aix-Marseille 3, qui a dirigé cette thèse et qui m'a fait profiter de toute son expérience et de son savoir. Je le remercie pour toutes les discussions qui ont amené cette thèse et ce manuscrit à ce qu'ils sont actuellement.

Je remercie également Monsieur Sylvain Bourdel, Maître de conférences à l'Université Aix-Marseille 3 et codirecteur de ma thèse pour tous les conseils qu'il a pu me prodiguer et son implication dans mon travail.

Je remercie Monsieur Thierry Parra, Professeur à l'Université Paul Sabatier et chercheur au Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS), et Monsieur Yann Deval, Professeur à l'ENSEIRB et chercheur au Laboratoire de l'Intégration du Matériau au Systèmes (IMS) qui m'ont fait l'honneur de rapporter sur mon manuscrit.

De même, je remercie Monsieur Jean Yves Dauvignac, Professeur à l'Université de Nice Sophia Antipolis et chercheur au Laboratoire d'Electronique Antennes et Télécommunications (LEAT), avec qui j'ai pu travailler au cours de la thèse dans le cadre du projet MIMOC et qui a accepté d'examiner mon travail.

Je remercie également Monsieur Philippe Pannier, Professeur à l'Université de Provence, pour m'avoir initié au monde des hyperfréquences lorsque j'étais son élève à Polytech' Marseille et qui a bien voulu examiner mon mémoire de thèse.

Je remercie la région PACA ainsi que la société Insight SIP pour avoir financé ma thèse. Je remercie plus particulièrement Messieurs Chris Barrat et Michel Beghin, ingénieurs à Insight SIP, pour avoir enrichi mon travail avec leurs visions industrielles.

Je remercie également toutes les personnes de l'IM2NP, du CEA LETI, d'Orange, du LEAT et d'Insight SIP avec qui j'ai pu travailler au cours de ces trois années.

Je remercie également toutes les personnes de l'Institut pour leur accueil. Je remercie plus particulièrement tous les doctorants pour leur bonne humeur quotidienne qui a contribué à faire de notre lieu de travail un espace agréable.

Je tiens finalement à remercier ma famille pour m'avoir soutenu et encouragé dans mon travail.

INTRODUCTION GENERALE

I. Introduction

Depuis l'invention en 1947 du transistor par John Bardeen, Walter Brattain et William Shockley, les systèmes électroniques se sont complexifiés et comportent de plus en plus de transistors comme nous le montre l'évolution des microprocesseurs. En 1971, le microprocesseur Intel 4004 a été réalisé à partir de 2300 transistors. En 2001, le microprocesseur Intel Pentium 4 comptait 42 millions de transistors. En 2010, le microprocesseur Intel Core I7 dépasse le milliard de transistors [1]. Globalement, le nombre de transistors dans un microprocesseur a doublé tous les deux ans suivant la célèbre loi énoncée par Gordon Moore en 1965.

De manière générale le nombre de transistors a fortement évolué car les consommateurs désirent des systèmes de plus en plus complexes permettant de réaliser plusieurs opérations rapidement et simultanément. Par exemple, il est courant aujourd'hui d'avoir un téléphone portable permettant naturellement de téléphoner mais aussi de se connecter à l'internet, d'écouter de la musique ou la radio, de payer ses achats avec une carte NFC, de prendre des photos, de trouver sa route grâce au GPS intégré, ...

L'évolution du nombre de fonctionnalités dans un système a engendré de nouvelles problématiques. Par exemple faut-il réaliser un "System on Chip" (SoC) en intégrant toutes les fonctionnalités d'un système dans une seule puce ou alors réaliser un "System in Package" (SiP) où les fonctionnalités sont intégrées dans une ou plusieurs puces et dans le boîtier.

Une autre tendance est l'augmentation sans cesse croissante des débits d'information requis dans les systèmes grand public. Cette augmentation se traduit par la nécessité d'accroître la bande passante des interconnexions tout en respectant les exigences d'un coût de fabrication minimal.

Cette introduction est divisé en trois parties, la première traite des avantages et inconvénients des technologies SiP et SoC. Les technologies standards d'interconnexion sont comparées dans la deuxième partie. La dernière partie présente le contexte et les objectifs de la thèse.

II. Comparaison des technologies de type SoC et SiP

Dans un System on Chip (SoC) toutes les fonctionnalités d'un système sont réalisées sur une même puce avec un même procédé de fabrication. Selon la complexité de la puce, on peut trouver sur celle-ci une partie radio fréquence (RF), une partie analogique basses fréquences, une partie numérique, de la mémoire.

L'intégration de toutes les fonctionnalités d'un système dans une unique puce ne conduit pas toujours à l'obtention de performances électriques optimales. En effet chaque fonctionnalité du système à réaliser présente des performances qui sont obtenues de manière optimale pour une certaine technologie de fabrication. Par exemple, la partie RF d'un système présente généralement les meilleures performances électriques dans une technologie de type Arséniure de Gallium, alors que la partie numérique ou la mémoire sont réalisées avec de meilleures performances dans les technologies silicium CMOS avec un coût de fabrication plus faible et un degré de miniaturisation plus important. Réunir toutes les fonctionnalités d'un système sur une même puce nécessite des compromis sur tous les circuits pour pouvoir utiliser les mêmes matériaux et les mêmes processus de fabrication. Ces compromis peuvent engendrer des performances moindres et un surcoût de consommation d'énergie sur le système complet. En outre, très souvent, toutes les fonctionnalités

d'un système ne peuvent pas être réalisées à partir d'une puce unique. Les SoCs, pour fonctionner, nécessitent généralement l'ajout de composants externes (antenne, commutateur d'antenne, filtre...) sur la carte mère.

Enfin, contrairement aux System in Package (SiP), le boîtier ne participe pas à la fonctionnalité du système et constitue un frein à la performance électrique du système. Le boîtier d'un SoC a pour fonctionnalité de relier la puce à la carte mère, d'évacuer la chaleur et de prévenir tous les dommages mécaniques.

Dans un System In Package, les fonctionnalités du système sont réalisées dans un boîtier unique. Ce boîtier intègre une ou plusieurs puces reliées directement entre elles ou par un circuit imprimé. Contrairement au boîtier d'un SoC, le boîtier d'un SiP fait partie intégrante du système. Celui-ci a les mêmes fonctionnalités qu'un boîtier pour SoC mais permet également d'interconnecter les puces entre elles et de réaliser directement certaines fonctions passives avec de très bonnes performances électriques (antenne, filtre, ...).

Les SiPs présentent donc de nombreux atouts :

- Les fonctionnalités du système peuvent être réalisées par différents processus de fabrication et dans divers matériaux permettant d'obtenir les meilleures performances pour chaque fonctionnalité.
- Les SiPs sont très intéressants pour les applications où le temps de mise sur le marché est un critère majeur. En effet, contrairement aux SoCs où pour changer une partie du système il est souvent nécessaire de reconcevoir entièrement la puce, une partie du système seulement peut être changée avec une conception de type SiP. Le temps de développement est ainsi réduit permettant une mise sur le marché plus rapide et des coûts de R&D inférieurs.
- Les SiPs permettent une approche "plug and play". Il est ainsi possible de réutiliser une partie d'un système pour diverses applications. Par exemple, la partie numérique peut être réutilisée pour des applications fonctionnant à diverses fréquences en ne changeant que la tête RF du système.
- Les SiPs permettent de miniaturiser le système global. Dans un SiP, il n'y a généralement pas besoin d'ajouter des composants externes sur la carte mère. Les éléments qui ne peuvent pas être réalisés dans une technologie CMOS peuvent être réalisés sur une autre puce dans une technologie différente. Par exemple le filtre d'entrée d'un système peut être réalisé dans une technologie possédant des éléments passifs à fort coefficient de qualité ou directement dans le boîtier. Même l'antenne peut être réalisée directement dans le boîtier permettant d'obtenir ainsi un système miniature totalement indépendant de la carte mère.
- Il est également possible de réduire le "bruit" reçu par la partie RF ou analogique provenant de la partie numérique du circuit en réalisant ces parties sur des puces différentes.

On peut alors se demander pourquoi réaliser tout un système sur une seule puce si les SoCs présentent souvent des performances inférieures et ne permettent pas une approche flexible. Le principal intérêt est d'ordre financier puisque que dans un SoC, une seule puce, généralement réalisée en technologie CMOS, est utilisée. Dans le cas d'un volume de marché très important où le coût de fabrication est primordial, il est plus rentable de réaliser un SoC même avec un temps de développement plus important. En outre le rendement de fabrication des SiPs est généralement inférieur à celui des SoCs. En effet, comme plusieurs puces sont utilisées, le système peut être défaillant si une seule puce n'a pas les performances attendues et il existe en outre un risque de court circuit entre les puces d'un même boîtier à cause des interconnexions reliant ces puces entre elles.

III. Technologies d'encapsulation standard

L'une des problématiques lors de la conception d'un SoC ou d'un SiP est de connecter la puce à son environnement. Cet environnement peut être un substrat d'accueil, un boîtier ou une autre puce. La connexion de la puce à son environnement peut être réalisée par différents procédés parmi lesquels on peut citer les deux plus courants :

- L'interconnexion par "wirebonding" : la puce est connectée à son environnement par des fils d'interconnexion (fils d'attache).
- L'interconnexion par "flip chip" : la puce est retournée et connectée à son environnement par des billes métalliques.

III.1. Interconnexion par "wirebonding"

Dans un système interconnecté par "wirebonding", la puce est reliée à son environnement par des fils d'interconnexion réalisés en or, en aluminium ou en cuivre. Sur la Figure 1, on peut visualiser les connexions de deux puces reliées à un substrat d'accueil par des fils d'interconnexions.

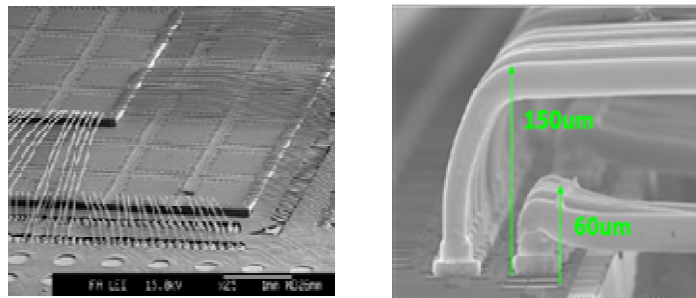


Figure 1 : Exemple d'une connexion par "wirebonding"

Il existe deux techniques pour réaliser les interconnexions par "wirebonding" : le "ball bonding" et le "wedge bonding".

Le procédé de câblage par "ball bonding" au fil d'or est présenté sur la Figure 2. Celui-ci consiste à former une bille d'or fondue en sortie d'un capillaire chauffé (de 100 à 200 °C). Cette bille est ensuite soudée sur le pad de sortie du circuit. Puis, le fil est tiré et soudé par pression sur l'environnement d'accueil. Cette méthode présente l'intérêt d'offrir une connexion avec une contrainte mécanique quasiment nulle sur la puce. Elle est donc particulièrement adaptée au câblage de puces fragiles de type MEMS.

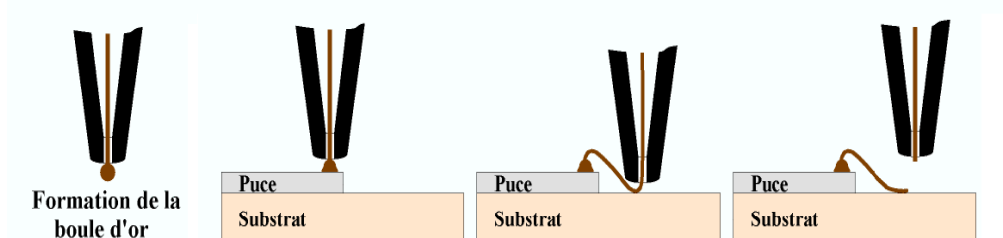


Figure 2 : Séquence de câblage par "ball bonding"

La deuxième technique pour réaliser une interconnexion par "wirebonding" s'appelle le "wedge bonding". Le procédé de câblage par "wedge bonding" est présenté sur la Figure 3. Un fil, le plus souvent en aluminium, est amené par un outil (appelé stylet ou aiguille), puis posé sur le pad à

souder. La liaison entre le fil et la zone à connecter s'effectue en combinant pression et vibration ultrasonore. Il s'agit d'une soudure "à froid". C'est l'énergie ultrasonore qui entraîne un ramollissement du fil semblable à l'effet obtenu par une élévation de température. Le fil est ensuite guidé par l'outil sur l'environnement d'accueil et une soudure est réalisée également sous pression. Cette technique est moins chère et plus rapide en grands volumes que celle du "ball bonding". Elle autorise également des fils de grand diamètre adaptés à l'électronique de puissance (entre 18 et 50 μm).

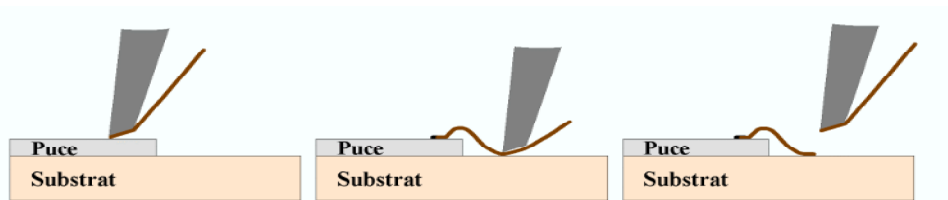


Figure 3 : Séquence de câblage par "wedge bonding"

III.2. Interconnexion par "Flip Chip" ou C4 (Control Collapse Chip Connexion)

La technique d'interconnexion par "flip chip" ou "Control Collapse Chip Connexion" (C4) a été inventée au début des années 1960 par IBM. Cette technique consiste à connecter directement la face active de la puce au reste du circuit au moyen de micro billes métalliques ("bumps").

Le procédé d'interconnexion par "flip chip" est représenté sur la figure 4. La première étape consiste à réaliser des billes métalliques et à les souder sur la puce à connecter. La puce est ensuite retournée et alignée sur l'environnement d'accueil. Les billes sont alors soudées à l'environnement d'accueil par thermo-compression. Un matériau appelé "underfill" est ensuite ajouté pour augmenter la rigidité mécanique et favoriser l'évacuation de la chaleur.

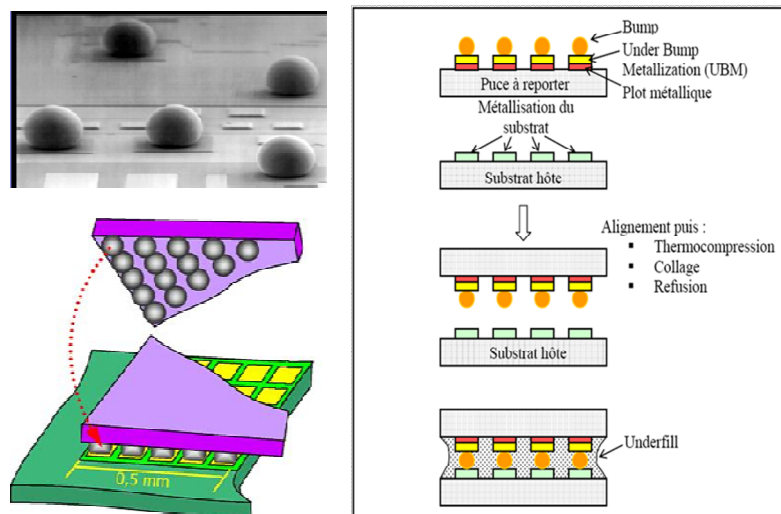


Figure 4 : Procédé d'interconnexion par flip chip

III.3. Comparaison des interconnexions par "wirebonding" et "flip chip"

Une interconnexion par "wirebonding" présente plusieurs avantages :

- Un processus de fabrication très simple avec un coût très bas. Le coût de cette technologie a même diminué ces dernières années en remplaçant l'or qui était utilisé traditionnellement pour la réalisation des fils d'interconnexion par de l'aluminium ou du cuivre.
- Si aucune autre puce n'est collée au dessus, la face active de la puce connectée reste accessible. Ainsi en cas de dysfonctionnement du système, il est possible de tester et éventuellement de corriger après assemblage certains nœuds de la puce où aucune sortie sur le circuit imprimé n'avait été prévue.

Cependant ce type d'interconnexion présente aussi plusieurs inconvénients :

- Des éléments parasites importants et proportionnels à la longueur des fils d'interconnexion sont générés.
- Malgré les progrès effectués ces dernières années (plusieurs rangées de connexions, un diamètre des fils d'interconnexion réduit à 15 μm), le nombre d'entrées/sorties d'une puce connectée par "wirebonding" est limité par rapport à un système connecté par "flip chip".
- Le couplage ou "cross talk" entre deux fils d'interconnexion proches peut être important.

Une interconnexion par "flip chip", qui est plus complexe à réaliser qu'une connexion par "wirebonding" et qui nécessite un appareillage plus technique, est encore de nos jours plus onéreuse. Cependant elle présente certains avantages par rapport à une connexion par "wirebonding" :

- Les distances d'interconnexions sont raccourcies réduisant ainsi les éléments parasites et les délais de propagation des signaux.
- La taille et le poids du système final sont moins importants.
- Une meilleure répartition des pads à la surface de la puce est possible.
- Il est possible d'obtenir un nombre d'entrées/sorties très important sur une même puce.

En revanche, la face active de la puce n'étant pas accessible, un nœud où aucune sortie n'a été prévue sur le circuit imprimé ne pourra plus être testé après assemblage.

Une connexion par "flip chip" coûte aujourd'hui 1.5 à 5 fois plus qu'une connexion par "wirebonding". Cette raison explique en grande partie le fait qu'actuellement 80 % des interconnexions sont réalisées par "wirebonding" [2]. Les interconnexions par "flip chip" sont surtout utilisées dans les systèmes nécessitant une fréquence élevée et un temps de propagation des signaux faible. Ce type d'interconnexion est donc devenu un standard pour les microprocesseurs rapides et hautes fréquences ainsi que pour les cartes graphiques.

IV. Contexte et objectifs de la thèse

IV.1. Contexte de la thèse

Cette thèse a été réalisée au sein de l'Institut Matériaux Microélectronique et Nanosciences de Provence (IM2NP) dans le cadre du projet MIMOC (Méthodes d'Intégration et de Miniaturisation d'Objet Communicants) financé par la région Provence Alpes Cotes d'Azur. Ce projet a pour objectif principal de proposer des solutions technologiques permettant l'intégration et la miniaturisation des nouveaux objets communicants utilisant les bandes de fréquences ULB (Ultra Large Bande) entre 3 et 10GHz. La technologie de communication ULB présente en effet un potentiel intéressant pour de nombreuses applications et notamment pour : La RFID (Radio Fréquence Identification), les réseaux

de capteurs (WSN : Wireless Sensor Network), les réseaux sans fil personnels (WPAN : Wireless Personal Area Network) et les réseaux sans fil corporels (WBAN : Wireless Body Area Network). Les principales caractéristiques demandées par ces applications sont de manière générale : (i) un faible coût de fabrication, (ii) une très faible consommation d'énergie et (iii) une taille miniaturisée. La portée et le débit dépendent plus spécifiquement de l'application mais ne sont généralement pas élevés. Dans ce contexte la grande bande passante disponible pour les signaux ULB est principalement utilisée pour réduire la consommation de puissance au détriment du débit de transmission en accord avec la relation de Shannon :

$$C = BW \cdot \log_2(1 + SNR)^1$$

Dans le contexte des applications nécessitant un faible coût et une faible consommation de puissance les technologies industrielles concurrentes sont principalement la technologie RFID-UHF et la technologie Zigbee.

La technologie RFID-UHF utilise une communication bande étroite sur porteuse dans la bande de fréquence 860 MHz - 960 MHz. Cette technologie permet l'utilisation d'objets communicants (les étiquettes RFID) dont le coût de fabrication est extrêmement faible (≈ 0.10 \$ pour un système passif) et qui peuvent fonctionner sans batterie (systèmes RFID passifs) en récupérant l'énergie de l'onde RF transmise par les lecteurs. Les étiquettes RFID-UHF sont généralement intégrées sous la forme d'un SiP sur un support souple regroupant l'antenne et un SoC unique de surface de silicium très faible. La technologie RFID-UHF passive est limitée concernant la portée (une dizaine de mètres), la précision de localisation et le débit en raison de la faible bande passante utilisée. La consommation statique de ces systèmes peut être nulle dans le cas d'un système passif mais dans ce cas un suivi en temps réel n'est pas possible (ex : pour connaître le moment où une chaîne de froid se brise). La taille de ces systèmes est généralement importante du à l'encombrement de l'antenne.

La technologie ZigBee utilise une communication bande étroite sur porteuse autour de 868 MHz, 915 MHz ou 2.4 GHz selon le pays d'utilisation. C'est une technologie dédiée aux applications WPAN à faible consommation de puissance qui utilise le standard IEEE 802.15.4. Les objets communicants ZigBee sont d'un coût nettement plus élevés que les étiquettes RFID car ils utilisent une architecture radio classique beaucoup plus complexe nécessitant, outre un SoC de surface de silicium plus importante, des composants passifs externes coûteux. Cette technologie offre un débit typique de 250 Kbps et une portée de communication d'une centaine de mètres. Ce sont des systèmes actifs qui nécessitent une batterie et dont la consommation de puissance maximale est de l'ordre de la dizaine de mA. Les objets communicants ZigBee peuvent présenter une surface plus faible que celle des objets communicants RFID-UHF en raison de leur fréquence de fonctionnement plus élevée mais avec un facteur de forme moins intéressant en raison de la présence obligatoire d'une batterie. Dans le domaine des WPAN et des WSN la technologie Bluetooth Low Energy qui utilise le standard IEEE 802.15.1 offre des performances comparables.

Les technologies industrielles existantes présentent certaines limitations qui peuvent être dépassées en utilisant la technologie de communication ULB. Les systèmes ULB utilisent différentes gammes de fréquences selon la région d'utilisation : 3.1 - 10.6 GHz aux USA (réglementation du FCC) ou 3.2 - 4.7 GHz et 6 - 8.5 GHz en Europe (réglementation de l'ECC). Le "masque de fréquences" d'émission des systèmes ULB est représenté sur la Figure 5. Les normes européennes et américaines définissent un signal ULB, entre autre, par un signal ayant une bande passante minimale de 500 MHz dans la gamme de fréquences autorisées. Historiquement pour répondre à cette contrainte, deux techniques différentes ont été implémentées pour créer une radio ULB : l'OFDM (modulation par répartition de fréquences orthogonales) et la radio impulsionnelle.

¹ Dans cette relation C est la capacité du canal en bit/s, BW la bande passante et SNR le rapport signal sur bruit.

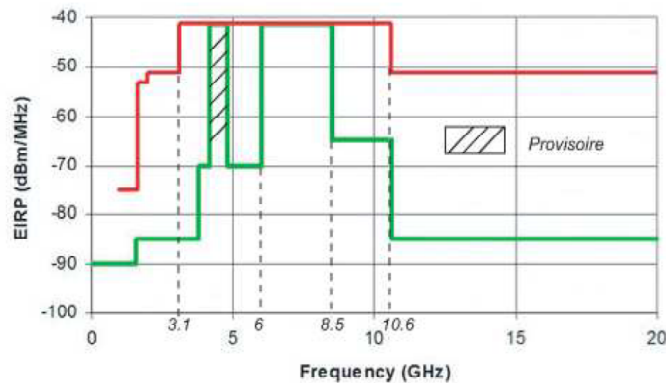


Figure 5 : Masque FCC et ECC

IV.1.a. L'OFDM Ultra Large Bande

Dans un système OFDM, le masque FCC est divisé en 14 canaux de 528 MHz. Chacun des canaux peut être utilisé par une transmission utilisant 126 sous-porteuses et le débit peut atteindre 1 Gbps. La transmission de l'information est réalisée sur porteuse selon les mêmes principes qu'en bande étroite. Ces systèmes visent principalement les applications à très haut débit. La taille (généralement plusieurs mm^2) et la consommation (typiquement supérieure à 50 mA) ne permettent pas à ces systèmes de répondre aux critères des applications faible coût [3].

IV.1.b. La Radio Impulsionnelle Ultra Large Bande (IR-ULB)

La Radio Impulsionnelle ULB (IR-ULB) n'utilise pas une transmission classique sur porteuse. Les données sont transmises à l'aide d'impulsions codées de courte durée occupant une partie ou toute la bande passante autorisée. La large bande de fréquences allouée permet de générer des signaux d'étalement temporel très court : de quelques centaines de picosecondes (totalité de la bande FCC) à quelques nanosecondes (bande minimale en ULB de 500MHz). Cette caractéristique de signaux entraîne :

- La possibilité de localisation d'un émetteur ULB avec une très bonne résolution (moins de 10 cm selon la bande passante utilisée).
- La possibilité de consommer une puissance très faible aux bas débits de communication en éteignant le récepteur entre deux impulsions. Et corrélativement la possibilité de gérer sur une même radio le compromis débit/consommation de manière linéaire et sur une grande échelle débits.
- Des antennes peu encombrantes et donc la possibilité de miniaturiser l'objet communicant.
- La possibilité de communiquer avec des débits élevés.
- La possibilité d'utiliser des architectures beaucoup plus simples que celles des systèmes utilisant une porteuse et donc de réduire les coûts de fabrication et la consommation de puissance dynamique. La figure 6 présente un exemple d'architecture d'émetteur-récepteur ULB.

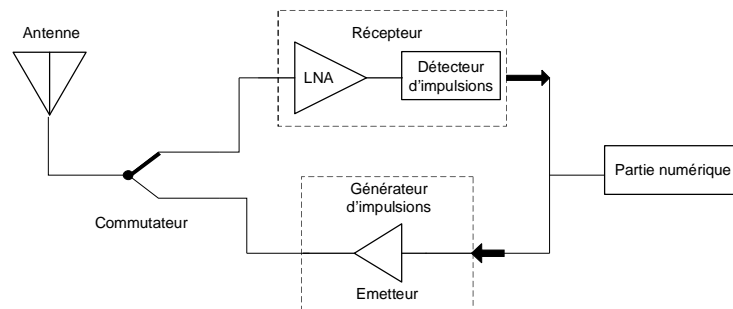


Figure 6 : Exemple d'architecture d'émetteur-récepteur IR-ULB

IV.2. Objectifs de la thèse

D'après les caractéristiques décrites dans les paragraphes précédents, les systèmes IR-ULB montrent des caractéristiques intéressantes qui peuvent concurrencer les technologies existantes. Le projet MIMOC étudie les potentialités de l'IR-ULB pour la réalisation d'objets communicants miniatures, faible coût et faible consommation. Dans le cadre de ce projet, il a été choisi d'utiliser la technologie SiP pour réaliser des objets communicants ULB prototypes intégrant une ou plusieurs puces CMOS et une antenne ULB. Une technologie d'interconnexion standard par "wirebonding" a également été choisie pour minimiser les coûts de fabrication. Ce projet collaboratif s'appuie sur quatre partenaires : le LEAT, Orange Labs, Insight SiP et l'IM2NP. Le LEAT et Orange Labs contribuent principalement au développement d'antennes ULB miniatures sur des substrats et sur des boîtiers compatibles avec le montage de puces. Les parties concernant l'intégration silicium (partie RF des émetteurs et récepteurs ULB) sont de la responsabilité de l'IM2NP. Les problématiques liées à la mise en boîtier et à l'interfaçage entre le circuit intégré et le boîtier sont étudiées par l'IM2NP en étroite collaboration avec Insight SiP.

Cette thèse s'intéresse, dans le cadre de ce projet, à l'intégration sur silicium des émetteurs-récepteurs ULB et aux problèmes d'intégrité du signal aux interfaces du circuit intégré.

Le premier chapitre traite des difficultés particulières liées au contexte de l'ULB rencontrées pour l'interconnexion d'une puce ULB à son environnement. En effet, en raison de la largeur de bande des signaux et du contexte de faible coût, l'utilisation de boîtiers ou de technologies d'interconnexion performantes ne sont pas envisageables. L'objectif du premier chapitre sera donc de masquer par une méthodologie d'interfaçage efficace les imperfections liées à l'utilisation de fils d'interconnexion. Les techniques de conception conjointe (codesign) entre l'interconnexion et le circuit intégré sont également évaluées. Nous utiliserons des outils de simulation électromagnétique et nous nous intéresserons également à la modélisation électrique des interconnexions par "wirebonding". La réalisation et la caractérisation de prototypes permettra de valider l'intérêt des méthodologies d'interfaçage proposées.

Dans le deuxième chapitre nous nous intéresserons à la détection des signaux ULB impulsionnels. Nous focaliserons notre étude sur le cas particulier des récepteurs ULB non cohérents qui présentent beaucoup d'intérêt pour les applications ciblées dans cette thèse. Nous proposons une modélisation simple des récepteurs non cohérents utilisant une détection d'énergie ou une détection de crête. Nous proposerons ensuite une architecture de détecteur de crête pour signaux ULB. Nous présenterons les résultats obtenus en simulation et en mesure dans le contexte de l'état de l'art du domaine.

Le troisième chapitre traite de l'intégration des récepteurs pour radio impulsionnelle ULB. Après une analyse de l'état de l'art des LNAs ULB, nous décrivons diverses conceptions pour les principales

bandes de fréquences ULB. Ces conceptions prennent en compte l'interface vers la carte support et l'antenne. Nous étudions aussi les possibilités offertes par un codesign entre l'interconnexion par wirebonding et la cellule d'adaptation du LNA. Dans la deuxième partie nous présentons la conception d'un récepteur pour la bande de fréquence 3.1 GHz - 10.6 GHz. Le récepteur regroupe dans un même circuit intégré toutes les fonctions radio fréquences (LNA et détecteur d'impulsions) ainsi que les circuits d'interfaces permettant la génération des tensions de contrôle du récepteur. Nous présentons ensuite une analyse des problèmes liés à l'intégrité des signaux dans le récepteur et les solutions qui ont été mises en œuvre pour assurer un bon fonctionnement.

Le quatrième chapitre, qui clos cette thèse, s'intéresse à l'intégration sous forme de SiP des émetteurs-récepteurs ULB. La première partie de ce chapitre étudie les possibilités d'intégration sur silicium d'un commutateur d'antenne permettant d'interfacer un émetteur-récepteur intégré avec une antenne unique. Dans la deuxième partie les méthodologies d'interconnexion développées au chapitre I sont mises en œuvre dans la conception d'un SiP prototype pour la bande de fréquence 3 - 10 GHz. Ce SiP qui intègre un émetteur ULB et une antenne a été mesuré en chambre anéchoïque et les résultats de mesure sont comparés à d'autres réalisations publiées. La dernière partie décrit deux boîtiers miniatures pour les bandes de fréquences 3 - 10 GHz et 6 - 8.5 GHz basés sur les résultats précédents. Ces boîtiers intègrent l'antenne ULB et les interconnexions permettant d'interfacer le circuit intégré avec la carte mère. L'influence du report du boîtier sur une carte mère est ensuite étudiée par des simulations électromagnétiques.

- [1] <http://fr.wikipedia.org/wiki/Transistor>
- [2] P. Apte, W. R. Bottoms, W. Chen, G. Scalise, "Good things in small packages", IEEE Spectrum Volume 3 number 3, March 2011
- [3] Bourdel, S.; "Conception de Circuits Intégrés à Faible Coût et à Faible Consommation pour la Radio Impulsionnelle Ultra Large Bande"; Habilitation à diriger des recherches, Université de Provence, décembre 2009

CHAPITRE I

ETUDE ET MODELISATION D'UNE INTERFACE LARGE BANDE ENTRE LE CIRCUIT INTEGRE ET LE CIRCUIT IMPRIME D'ACCUEIL

Sommaire

I.	Introduction	16
II.	Modélisation d'une interface silicium - circuit imprimé par "wirebonding"	16
II.1.	Introduction.....	16
II.2.	Conception d'une ligne 50 Ω sur circuit imprimé.....	17
II.3.	Modélisation d'une transition élémentaire par "wirebonding"	20
II.3.a.	Modèle localisé d'une transition élémentaire.....	20
II.3.b.	Influence de la longueur du fil sur les éléments du modèle localisé de la transition.....	22
II.4.	Conception et modélisation d'une transition puce - circuit imprimé	23
II.4.a.	Introduction.....	23
II.4.b.	Descriptif de la transition réalisée entre une puce et un circuit imprimé	23
II.4.c.	Modélisation de la transition à partir de simulations électromagnétiques 3 ports	24
II.4.d.	Modélisation simplifiée de la transition à partir de simulations électromagnétiques 2 ports	27
III.	Optimisation de la transition électrique entre la puce et le circuit imprimé.....	29
III.1.	Introduction.....	29
III.2.	Contexte d'optimisation de la transition puce - circuit imprimé.....	30
III.3.	Optimisation de la transition puce - circuit imprimé par une adaptation d'impédance de type LC à la fréquence maximale	31
III.3.a.	Optimisation des performances électriques de la transition puce - circuit imprimé en ajoutant uniquement de la capacité sur le circuit imprimé	31
III.3.b.	Optimisation des performances électriques de la transition puce - circuit imprimé en ajoutant de la capacité sur le circuit imprimé et sur le circuit intégré.....	33
III.3.c.	Conclusion	35
III.4.	Processus d'intégration des éléments parasites d'une transition puce - circuit imprimé par "wirebonding" dans un filtre passe bas.....	35
III.4.a.	Introduction.....	35
III.4.b.	Rappel sur la méthode de calcul des filtres normalisés.....	36
III.4.c.	Processus d'intégration des éléments parasites de la transition puce - circuit imprimé dans un filtre passe bas	36
III.4.d.	Optimisation de la transition puce - circuit imprimé	38
III.4.e.	Comparaison des procédures d'optimisation.....	40
III.5.	Réalisation d'une transition puce - circuit imprimé optimisée.....	41
IV.	Réalisation de prototypes incluant une transition puce - circuit imprimé par "wirebonding" dans leurs architecture	44
IV.1.	Intégration d'une protection ESD dans une transition RF	44
IV.1.a.	Introduction.....	44

IV.1.b. Réalisation et intégration des éléments parasites des protections ESD dans la transition puce - circuit imprimé	45
IV.2. Réalisation de la transition puce - circuit imprimé pour un générateur d'impulsions FCC	46
IV.2.a. Introduction.....	46
IV.2.b. Intégration de la transition puce - circuit imprimé en sortie du générateur d'impulsions.....	47
IV.3. Intégration des éléments parasites d'une transition puce - circuit imprimé par "wirebonding" dans l'architecture d'un générateur d'impulsions.....	48
IV.3.a. Introduction.....	48
IV.3.b. Intégration des éléments parasites de la transition puce - circuit imprimé par "wirebonding" dans l'architecture du générateur d'impulsions	49
IV.3.c. Réalisation et mesure du générateur d'impulsions codesigné avec la transition puce - circuit imprimé	51
V. Conclusion	52

I. Introduction

Dans l'introduction générale, nous avons présenté les différentes approches de conception pour réaliser un système électronique. Nous avons comparé les architectures de type "System in Package" (SiP) et "System on Chip" (SoC). Nous avons vu que les SiPs permettent d'obtenir des systèmes miniatures, souvent plus performants et plus facilement reconfigurables que les SoCs.

Dans le cadre de la thèse qui s'intéresse à la miniaturisation d'objets communicants à faible coût de fabrication, nous avons choisi de réaliser un système de type SiP composé d'une ou plusieurs puces en silicium connectées à un circuit imprimé sur lequel l'antenne serait réalisée. Pour des raisons de coût la technologie d'interconnexion choisie est le "wirebonding".

Dans la première partie du chapitre, nous présentons la conception d'une transition par "wirebonding" entre une puce en silicium et une antenne réalisée sur le circuit imprimé. A partir des résultats de simulations électromagnétiques, nous proposons un modèle localisé de cette transition.

Dans la seconde partie de ce chapitre, nous proposons plusieurs méthodologies pour améliorer les performances électriques d'une transition par "wirebonding". En effet, les transitions par "wirebonding" sont connues pour générer des éléments parasites importants limitant la bande passante et l'intégrité du signal. Nous décrivons comment modifier sans surcoût une transition par "wirebonding" pour obtenir une bande passante suffisante pour les signaux ULB de la bande de fréquence 3.1 - 10.6 GHz.

Dans la troisième partie de ce chapitre, nous utilisons la transition et les techniques d'optimisation développées dans les parties précédentes pour connecter divers circuits intégrés ULB à un circuit imprimé.

II. Modélisation d'une interface silicium - circuit imprimé par "wirebonding"

II.1. Introduction

Dans ce paragraphe, nous présentons la conception de la carte permettant de réaliser un système de type SiP pour les applications ULB. Le système est constitué d'une antenne réalisée directement sur le circuit imprimé et d'un circuit intégré connecté à l'antenne par "wirebonding".

La conception des antennes a été effectuée au LEAT dans le cadre de la thèse d'Ali Chami [1] et du projet MIMOC. Dans une première étape du projet, il a été choisi un substrat d'accueil sur lequel seront réalisés le circuit imprimé et par conséquent l'antenne. Un substrat Rogers 4003 a été choisi pour ses qualités électriques et pour la reproductibilité de ses propriétés. La fabrication des circuits imprimés a été sous-traitée à la société Atlantec Technologies dans une technologie de fabrication standard (classe 7 [2]).

Les antennes ULB réalisées ayant une impédance de 50Ω , la seconde étape a consisté à concevoir une ligne 50Ω sur le circuit imprimé permettant d'alimenter les antennes. La conception de cette ligne est présentée au paragraphe II.2.

Nous avons ensuite conçu une transition par "wirebonding" permettant de connecter le circuit intégré à cette ligne. Avant de nous intéresser à cette transition comportant plusieurs fils d'interconnexion, nous avons étudié et modélisé l'effet d'une transition élémentaire par "wirebonding" comportant un unique fil d'interconnexion intercalé entre deux tronçons de lignes 50Ω . Cette étude est présentée au paragraphe II.3. Au paragraphe II.4, nous présentons la conception et la modélisation d'une transition entre la ligne 50Ω sur le circuit imprimé et une ligne sur le silicium.

II.2. Conception d'une ligne 50Ω sur circuit imprimé

Dans ce paragraphe, nous présentons brièvement la conception d'une ligne 50Ω permettant d'interfacer l'antenne 50Ω et le circuit intégré. Parmi les trois types de lignes existantes (microruban (MSL), coplanaire (CPW) et coplanaire à plan de masse (GCPW)), nous avons choisi une ligne GCPW pour alimenter l'antenne. En effet ce type de ligne possède dans notre cadre d'application et pour notre gamme de fréquences de nombreux avantages.

Les lignes coplanaires nécessitent des ponts pour maintenir les lignes extérieures à une masse commune. Dans le cas d'une ligne GCPW, la connexion électrique entre les lignes de masse se fait par l'intermédiaire des vias connectés au plan de masse. Contrairement aux lignes microrubans, les lignes GCPW ont, comme les lignes coplanaires, la masse accessible en surface. La mesure sous pointes du système est ainsi facilitée car celles-ci peuvent être facilement posées sur le circuit imprimé. De même la connexion des fils d'interconnexions reliant la masse de la puce à la masse du circuit imprimé se fait facilement quelque soit la taille de la puce et le lieu des plots à connecter.

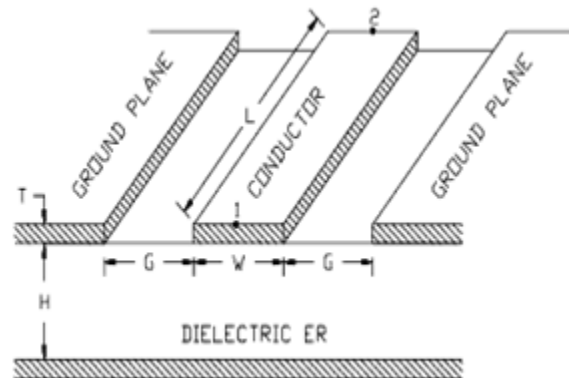


Figure 1 : Ligne coplanaire à plan de masse

La Figure 1 donne les paramètres physiques et géométriques d'une ligne GCPW. L'impédance caractéristique dépend de : (i) la hauteur du substrat (H), (ii) la permittivité du substrat (ϵ_r), (iii) la largeur de la ligne (W), (iv) la largeur du gap entre la ligne signal et les lignes de masse (G) et (v) dans une moindre mesure de l'épaisseur de métallisation (T).

Dans notre cas le substrat de la ligne est un Rogers 4003. La constante diélectrique d'un substrat Rogers 4003 est comprise entre 3.38 et 3.55 [3]. Dans la suite de ce chapitre, nous considérerons que celle-ci vaut 3.48. L'épaisseur de métallisation est un paramètre technologique de fabrication non modifiable dépendant de la technologie et qui vaut $30 \mu\text{m}$ dans notre cas.

Trois degrés de liberté lors de la conception de la ligne (W , H et G) sont disponibles pour obtenir une impédance caractéristique de 50Ω . La hauteur du substrat ne prenant que des valeurs préalablement définies par le fabricant [4], nous l'avons fixée à 0.2 mm . Le gap a été fixé à 0.3 mm pour obtenir une propagation le long de la ligne qui se rapproche d'une propagation de type

microruban. Ainsi l'impédance caractéristique de la ligne est moins dépendante du gap entre la ligne signal et les plans de masse et donc moins assujettie aux variations technologiques.

Des simulations électromagnétiques de la ligne ont été effectuées sous divers logiciels (CST, HFSS et Momentum) pour trouver la largeur de ligne permettant d'obtenir une impédance caractéristique de 50Ω . Chaque simulateur ayant son propre algorithme pour calculer l'impédance caractéristique d'une ligne, de légères variations ont été obtenues. Les résultats obtenus par les différents simulateurs pour une ligne ayant une largeur de 0.39 mm sont présentés sur la Figure 2. CST et HFSS convergent vers une impédance caractéristique de 50Ω pour des fréquences inférieures à 10 GHz . Cependant ces résultats sont dépendants de la taille du port utilisée pour la simulation. En faisant varier les dimensions du port (tout en respectant les tailles conseillées par les notices des simulateurs), nous obtenons une variation maximale de 10% sur l'impédance caractéristique autour de 50Ω .

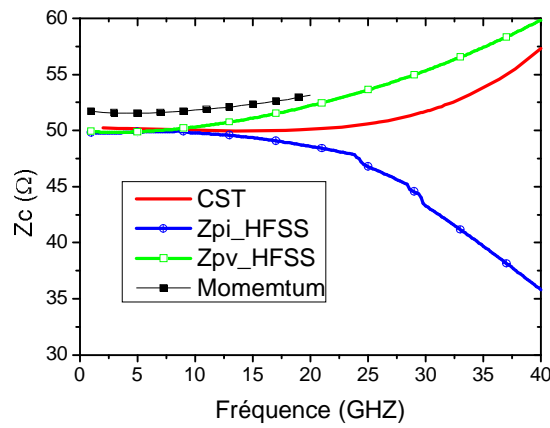


Figure 2 : Impédance caractéristique ligne GCPW de largeur $390 \mu\text{m}$

Pour éviter un étalement temporel du signal le long de la ligne, il faut vérifier que la propagation le long de la ligne soit monomode. Si la ligne est monomodale, toute l'énergie d'émission à une fréquence donnée se transmet à travers le premier mode de propagation. Pour valider cette condition, il faut que seul le premier mode de propagation puisse se propager dans les gammes de fréquences utilisées en ULB (au moins jusqu'à 11 GHz dans notre cas). Cette vérification est faite en observant la partie imaginaire de la constante de propagation (déphasage linéique). Pour une fréquence donnée s'il n'existe qu'un seul déphasage linéique alors la ligne est monomode à cette fréquence, dans le cas contraire elle est multi-modes.

Des simulations électromagnétiques ont été faites sous CST et HFSS. Les résultats obtenus sous CST sont présentés sur la Figure 3. La ligne est monomode jusqu'à 25 GHz . De 25 GHz à 27 GHz deux modes peuvent se propager à travers la ligne. Au delà de 27 GHz , le signal peut se propager au travers d'au moins trois modes différents.

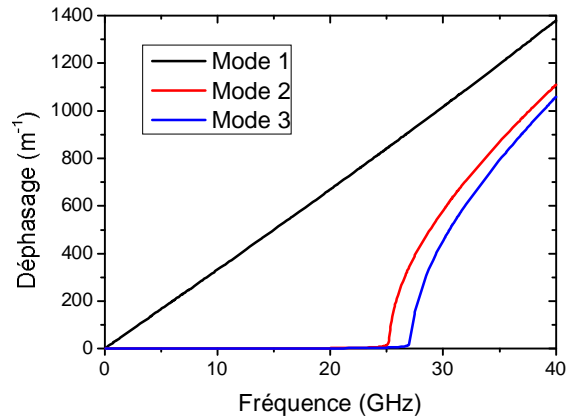


Figure 3 : Visualisation des différents modes de propagation

Les simulations sous HFSS indiquent des résultats quasi similaires. Le second mode de propagation apparaît à 28 GHz et le troisième à 29 GHz. La ligne est donc bien monomode dans les bandes de fréquences utilisées pour l'ULB. Nous pouvons donc utiliser cette ligne pour alimenter l'antenne.

Le dernier point caractérisant une ligne est son atténuation linéique. L'atténuation linéique correspond aux pertes par mètre provenant de la ligne. Les résultats des simulations électromagnétiques sous HFSS et CST sont présentés sur la Figure 4. A 7 GHz, la ligne présente une atténuation d'environ 0.7 Neper par mètre soit environ 6 dB/m.

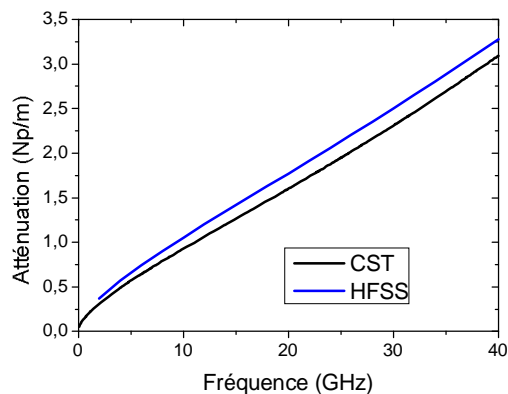


Figure 4 : Atténuation linéique de la ligne

Précédemment, nous avons indiqué que le mode de propagation se rapprochait d'un mode de propagation de type microruban. Pour confirmer cette hypothèse, le champ électrique obtenu à partir de simulations sous CST est visualisé sur la Figure 5. Nous pouvons constater que la majorité du champ électrique se referme sur le plan de masse. La propagation du signal le long de la ligne se rapproche donc bien d'une propagation de type microruban.

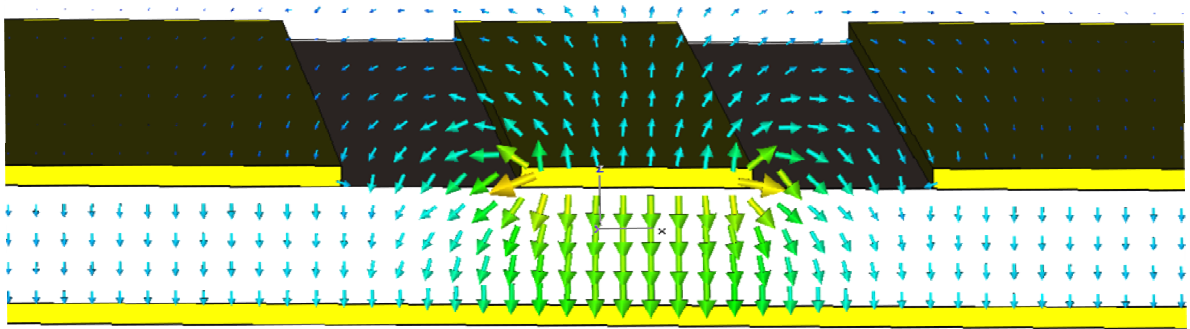


Figure 5 : Champ électrique autour du "ruban signal"

II.3. Modélisation d'une transition élémentaire par "wirebonding"

II.3.a. Modèle localisé d'une transition élémentaire

Des modèles mathématiques ou localisés d'une transition élémentaire par "wirebonding" sont disponibles dans la littérature [5] [6]. Cependant ces modèles sont difficilement exploitables par un concepteur de circuit. En [7] et [8], une transition élémentaire par "wirebonding" a été modélisée par un modèle électrique localisé en π (Figure 7). Ce modèle, qui est assez simple pour être directement exploitable par un concepteur de circuit, permet de modéliser efficacement le comportement électrique de la transition dans la bande de fréquences ULB.

Dans ce paragraphe, nous décrivons la structure de test présentée en [7] [8] et nous étudions l'influence de la longueur du fil d'interconnexion sur les paramètres du modèle au paragraphe II.3.b.

Le modèle HFSS de la transition élémentaire est décrit sur la Figure 6. La transition est composée d'un fil d'interconnexion unique situé entre les deux pistes signal de deux lignes GCPW. Ces lignes d'accès sont identiques à la ligne GCPW d'impédance caractéristique 50Ω présentée au paragraphe précédent. Les paramètres de la ligne (W , H et G) valent respectivement (390, 200 et 300) μm . Le fil d'interconnexion étudié est en aluminium et son diamètre est de 25 μm .

La partie située entre le port d'excitation et la surface bleue la plus proche ("plan de référence") a été soustraite de la simulation de chaque côté afin d'obtenir l'effet du fil d'interconnexion seul (sans les lignes d'accès). Cependant pour obtenir des simulations correctes, les ports de référence doivent être assez éloignés des discontinuités pour que les champs simulés au niveau des plans de référence soient quasi-TEM. Au final, les paramètres S de la partie comprise entre les deux plans de référence (partie appelée « Transition » sur la Figure 6) sont obtenus.

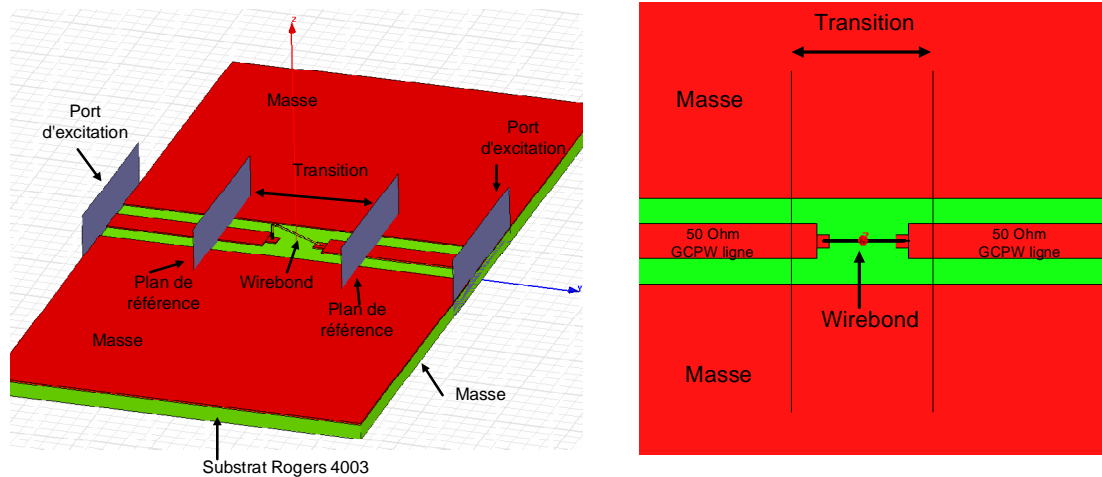


Figure 6 : Modèle HFSS d'une transition élémentaire par wirebonding

Un modèle électrique en π modélisant la transition peut être extrait à partir des simulations électromagnétiques. Ce modèle est représenté sur la Figure 7. Celui-ci est composé de deux capacités parallèles (C_1 et C_2) et d'une inductance série (L_{bond}). L'inductance L_{bond} est définie par rapport au plan de masse qui permet le retour du courant dans cette structure.

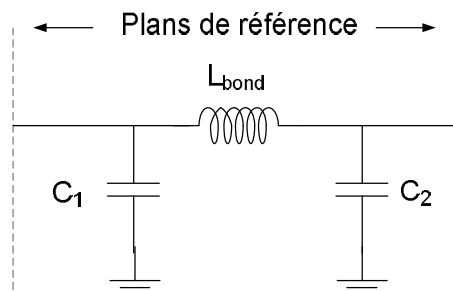


Figure 7 : Modèle en π d'un fil d'interconnexion

Les valeurs des éléments modélisant la transition (C_1 , C_2 et L_{bond}) sont obtenues à partir des paramètres S et Y provenant de la simulation électromagnétique sous HFSS et des équations (1), (2) et (3).

$$L_{bond}(f) = \frac{-1}{2\pi f} \cdot im\left(\left(\frac{1}{Y_{(1,2)}} + \frac{1}{Y_{(2,1)}}\right) / 2\right) \quad (1)$$

$$C_1(f) = \frac{1}{2\pi f} \cdot im(Y_{(1,1)} + Y_{(1,2)}) \quad (2)$$

$$C_2(f) = \frac{1}{2\pi f} \cdot im(Y_{(2,2)} + Y_{(2,1)}) \quad (3)$$

Les valeurs des éléments modélisant la transition sont dépendantes de la longueur du fil d'interconnexion. Les résultats de mesure d'une transition avec un fil d'interconnexion ayant une longueur de 0.7 mm sont présentés sur la Figure 8. La Figure 9 présente une comparaison des valeurs extraites en simulation et en mesure des éléments modélisant la transition.

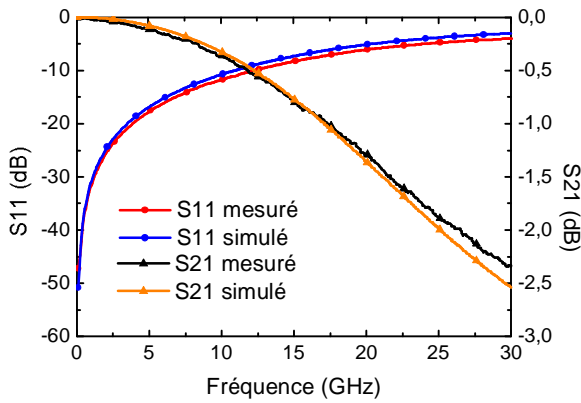


Figure 8 : Paramètres S de la structure de test

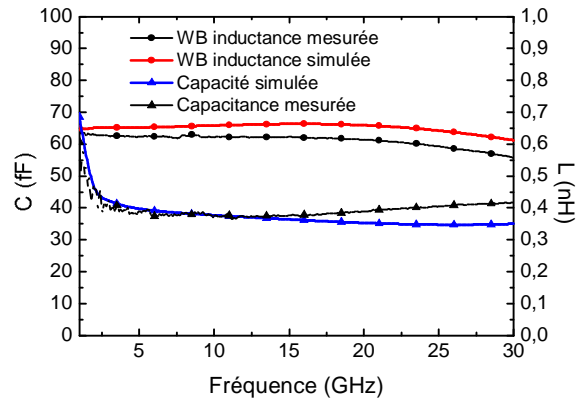


Figure 9 : Modèle en π extrait de la structure de test

II.3.b. Influence de la longueur du fil sur les éléments du modèle localisé de la transition

Les valeurs des capacités et de l'inductance du modèle localisé de la transition dépendent de la longueur du fil d'interconnexion. Des simulations électromagnétiques sous HFSS ont permis d'observer les variations des paramètres du modèle. L'influence de la longueur du fil d'interconnexion sur la valeur des capacités et sur la valeur de l'inductance est présentée respectivement sur la Figure 10 et sur la Figure 11.

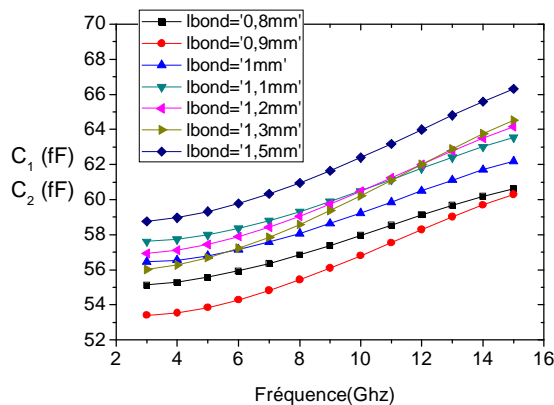


Figure 10 : Valeur extraite de C_1 et C_2

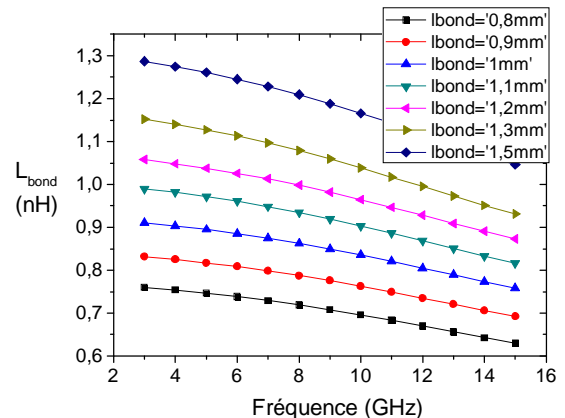


Figure 11 : Valeur extraite de L_{bond}

Les simulations électromagnétiques montrent que les valeurs des capacités sont faiblement dépendantes de la longueur du fil d'interconnexion contrairement à la valeur de l'inductance. L'inductance extraite du fil d'interconnexion est proche de la valeur typique de 1 nH/mm. La structure étant symétrique les capacités C_1 et C_2 sont égales.

Les valeurs des éléments modélisant la transition varient de moins de 10% dans toute la gamme de fréquences utilisées en ULB. Cette transition élémentaire peut donc être modélisée avec une bonne précision par un modèle électrique localisé en π pour nos applications.

II.4. Conception et modélisation d'une transition puce - circuit imprimé

II.4.a. Introduction

Au paragraphe précédent une modélisation électrique d'une transition élémentaire par "wirebonding" constituée d'un fil d'interconnexion unique au dessus d'un plan de masse a été obtenue. L'objectif de ce paragraphe est la modélisation d'une transition par "wirebonding" entre la ligne 50Ω présentée en II.2 et une puce en silicium. La principale difficulté provient du fait que la ligne du circuit imprimé et la ligne sur silicium ne partagent pas le même plan de masse. En pratique les deux plans de masse sont reliés par des fils d'interconnexion et le circuit intégré ne dispose que d'une masse locale.

II.4.b. Descriptif de la transition réalisée entre une puce et un circuit imprimé

La technologie de réalisation du circuit imprimé choisie est une technologie standard qui permet de réaliser des rubans de métallisation parallèles ayant un écart de $100 \mu\text{m}$ (classe 7 [2]). La technologie choisie pour la fabrication des puces est la technologie HCMOS9 qui présente une épaisseur de substrat de $350 \mu\text{m}$. Notons qu'il est apparu récemment des techniques d'amincissement de substrat permettant d'obtenir des hauteurs de puces de $5 \mu\text{m}$ [9] et donc des longueurs de fils d'interconnexion très courtes. De tels substrats permettraient naturellement de meilleures performances électriques au prix d'une augmentation du coût de production.

Le modèle HFSS de la transition puce - circuit imprimé (appelé DUT¹) est décrit sur la Figure 12. La transition puce - circuit imprimé est comprise entre les deux plans de référence définis sur la Figure 12. Cette transition est connectée sur la gauche à la ligne GCPW 50Ω définie au paragraphe II.2 et sur la droite à une ligne micro-ruban (MSL) sur la puce. La largeur de la ligne MSL sur la puce vaut $12 \mu\text{m}$ et présente une impédance caractéristique de 30Ω . Cette ligne a été choisie car c'est la ligne qui présente le moins de pertes linéiques tout en respectant les règles technologiques de fabrication dans la technologie que nous utilisons.

La puce est éloignée de $175 \mu\text{m}$ du bord de la ligne GCPW pour éviter tout court circuit lors du report de la puce sur le PCB. Les plots sur la puce sont écartés de $100 \mu\text{m}$ du bord de la puce pour respecter les lignes de découpe. Toutes ces valeurs qui influent sur la longueur des fils d'interconnexion de la transition sont des valeurs standard qui n'entraînent pas de coût de revient supplémentaire pour l'assemblage.

La transition électrique entre la puce et le circuit imprimé que nous étudions est réalisée au moyen de trois fils d'interconnexion. Un fil d'interconnexion connecte le ruban signal de la ligne MSL de la puce au ruban signal de la ligne 50Ω du circuit imprimé. Les deux autres fils d'interconnexion connectent la masse du circuit imprimé à la masse de la puce. L'utilisation d'un nombre plus important de fils d'interconnexion permettrait d'obtenir une transition de performances électriques meilleures au prix d'une augmentation notable du coût de fabrication en raison de l'augmentation du nombre de plots nécessaires sur le semiconducteur. L'extrémité du ruban signal de la ligne 50Ω sur le circuit imprimé a été réduite à un carré de $100 \mu\text{m}$ de large. Réduire la taille du ruban permet de diminuer la longueur des fils d'interconnexion connectant les masses et ainsi de diminuer la valeur de l'inductance parasite provenant de ces fils.

Dans ces conditions les fils d'interconnexion présentent une longueur minimale de 0.83 mm . Ces fils d'interconnexion seront réalisés en aluminium avec un diamètre de $25 \mu\text{m}$.

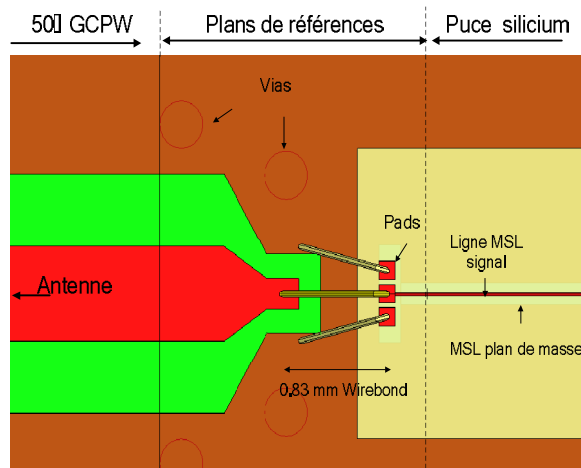


Figure 12 : Modèle HFSS de la transition puce - circuit imprimé par "wirebonding"

II.4.c. Modélisation de la transition à partir de simulations électromagnétiques 3 ports

Dans ce paragraphe, nous présentons les étapes permettant d'obtenir un modèle électrique localisé équivalant à la transition à partir de simulations électromagnétiques sous le logiciel HFSS.

Comme lors de la simulation de la structure élémentaire, les ports d'excitation ne doivent être ni trop éloignés ni trop proches de la transition pour obtenir un modèle électrique qui soit valide dans une grande bande de fréquence. Seule la partie comprise entre les deux plans de références de la Figure 12 est ainsi modélisée.

Afin de rendre compte de l'impédance de mode commun entre la masse de référence et la masse du circuit intégré, trois ports d'excitation ont été utilisés et HFSS a été utilisé dans un mode "driven terminal" [10]. Tous les ports d'excitation sont référencés par rapport à une masse de référence commune qui a été choisie comme étant celle du circuit imprimé. Les trois ports d'excitation P1, P2 et P3 sont représentés sur la Figure 13. Le port P1 est connecté au ruban signal de la ligne 50 Ω sur le circuit imprimé. Le port P2 est connecté au ruban signal de la ligne microruban 30 Ω sur la puce. Le troisième port est connecté à la masse locale de la puce.

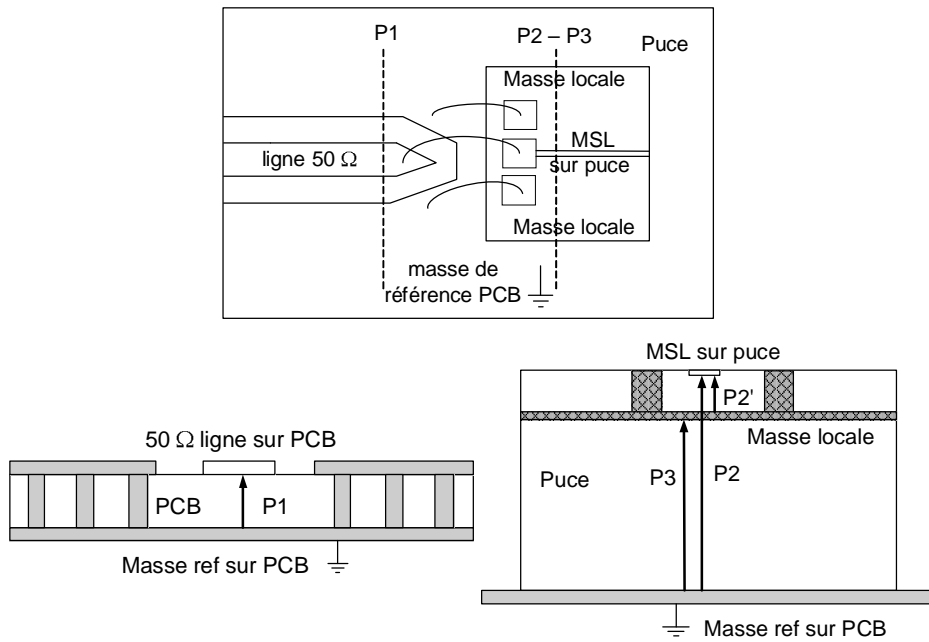


Figure 13 : Définition des ports d'excitation

Si les ports sont assez proches de la transition, celle-ci peut être modélisée avec une précision acceptable par un modèle électrique localisé. Ce modèle est représenté sur la Figure 14.

Chaque fil d'interconnexion est modélisé par un modèle en π . L'inductance L_{wb} représente l'inductance provenant du fil d'interconnexion connectant le ruban signal sur le circuit imprimé au ruban signal sur la puce. L'inductance L_{cg} représente l'inductance provenant des deux fils d'interconnexion connectant les masses. Ces inductances sont définies par rapport au plan de masse de référence. Pour obtenir un modèle satisfaisant, le couplage magnétique entre les fils d'interconnexion doit être inclus dans le modèle électrique [11]. Ce couplage magnétique est représenté par le paramètre k défini en (4). Ce paramètre dépend des valeurs des inductances L_{wb} et L_{cg} provenant des fils d'interconnexion ainsi que de la distance et de l'angle entre les fils d'interconnexion de masse et le fil d'interconnexion signal.

$$k = \frac{M_{wb}}{\sqrt{L_{wb} \cdot L_{cg}}} \quad (4)$$

La capacité C_{cg} représente la capacité entre le plan de masse présent sur la puce et le plan de masse sur le circuit imprimé.

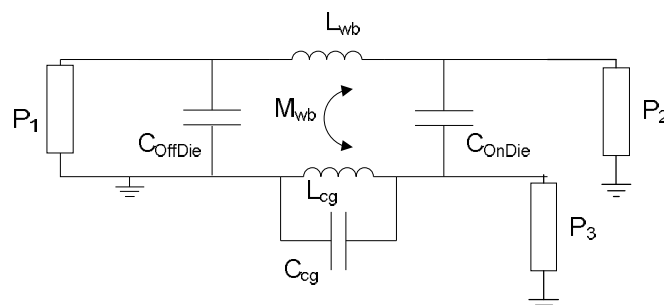


Figure 14 : Modèle localisé à trois ports de la transition puce - circuit imprimé

Il est possible d'extraire la valeur de chaque élément du modèle localisé de la transition (C_{OnDie} , L_{wb} , L_{cg} , k , C_{OffDie} , C_{cg}) à partir d'une structure de test que nous appelons DUT^0 . Cette structure est représentée sur la Figure 15. Celle-ci est conçue de manière à ce que les fils d'interconnexion soient suffisamment éloignés et perpendiculaires entre eux pour que le coefficient de mutuelle inductance k soit négligeable. Les longueurs des fils d'interconnexion doivent être identiques à celles de DUT^1 (0.83 mm).

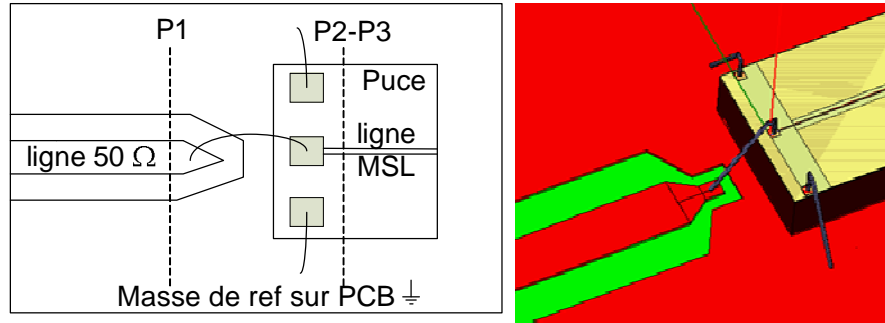


Figure 15 : Structure de test DUT^0

Les fils d'interconnexion étant de même longueur, nous faisons l'hypothèse simplificatrice que $L_{wb}=2*L_{cg}$. A partir de la matrice en admittance Y^0 obtenue à partir de la simulation électromagnétique de DUT^0 , nous pouvons extraire les éléments composant le modèle localisé (avec $k=0$ et f la fréquence) grâce aux équations (5) à (8).

$$C_{OffDie} = \frac{1}{2\pi f} \cdot \text{im}(Y_{(1,1)}^0 + Y_{(1,2)}^0) \quad (5)$$

$$C_{OnDie} = \frac{1}{2\pi f} \cdot \text{im}(Y_{(2,2)}^0 + Y_{(2,1)}^0) \quad (6)$$

$$L_{wb} = \frac{1}{2\pi f} \cdot \text{im}\left(\frac{1}{Y_{(2,1)}^0}\right) \quad (7)$$

$\text{im}(1/Y_{(3,3)})$ résonnant à la fréquence f_{res}^0 on a :

$$C_{cg} = \frac{1}{L_{cg} * (f_{res}^0 * 2\pi)^2} - C_{OnDie} \quad (8)$$

Avec la matrice admittance Y^1 de la transition originelle (DUT^1) et la matrice admittance Y^0 de la structure de test (DUT^0), nous pouvons extraire le paramètre k grâce à la relation (9).

$$k = \sqrt{1 - \text{im}\left(\frac{Y_{(2,1)}^1}{Y_{(2,1)}^0}\right)} \quad (9)$$

Les valeurs des éléments modélisant la transition de la Figure 12 sont obtenues à partir de simulations électromagnétiques et des équations (5) à (9). Ces valeurs sont résumées dans le Tableau 1.

L_{wb}	0.74 nH	$fres^0$	16.2 GHz
L_{cg}	0.37 nH	C_{cg}	155 fF
C_{OffDie}	80 fF	k	0.42
C_{OnDie}	133 fF		

Tableau 1 : Valeurs des éléments du modèle trois ports localisé de la transition

La Figure 16 compare les résultats de simulation électromagnétique pour chaque port défini en II.4.c. aux résultats de simulation du modèle localisé trois ports de la Figure 14 avec les valeurs du Tableau 1. On peut noter que les résultats issus du modèle localisé concordent avec une précision acceptable avec les résultats de simulation électromagnétique dans la bande de fréquences ULB.

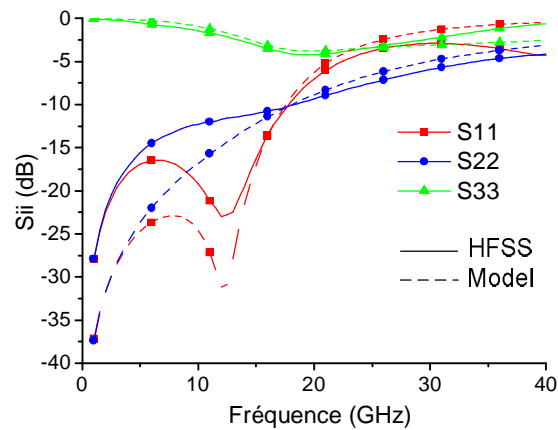


Figure 16 : Paramètres Sii du modèle 3 ports comparés à la simulation électromagnétique de la transition

II.4.d. Modélisation simplifiée de la transition à partir de simulations électromagnétiques 2 ports

La transition entre la puce et le circuit imprimé a pour rôle de transférer le maximum de puissance provenant de l'antenne à la puce. Il est donc judicieux d'étudier un modèle entre le port P1 sur le circuit imprimé et le port P2' sur la puce comme défini sur la Figure 13 et la Figure 17.a. Le port P1 est connecté au ruban signal de la ligne GCPW sur le circuit imprimé et est référencé par rapport à la masse du circuit imprimé. Le port P2' est connecté au ruban signal de la ligne micro-ruban sur la puce et est référencé par rapport à la masse de la puce. Définir les ports de cette manière permet d'obtenir la puissance transmise entre la puce et le circuit imprimé. On peut également remarquer que dans un domaine de fréquence où C_{cg} est négligeable, le modèle trois ports de la Figure 14 repris sur la Figure 17.a avec les ports P1 et P2'se rapproche du modèle deux ports de la Figure 17.b.

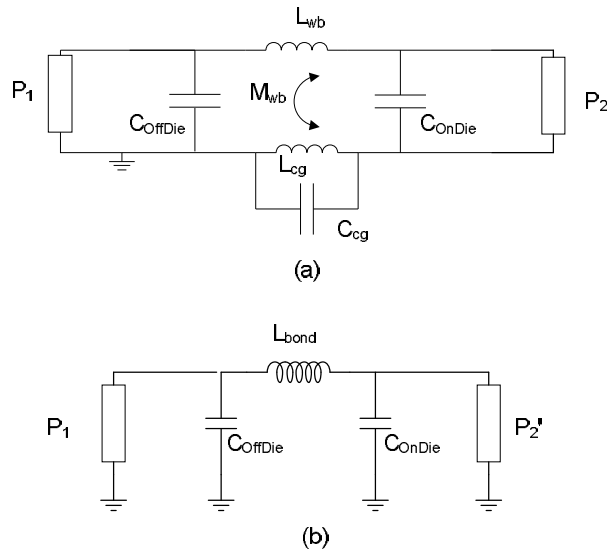


Figure 17 : (a) Modèle 2 ports de la transition. (b) Modèle 2 ports simplifié

Avec :

$$L_{\text{bond}} = (L_{\text{wb}} + L_{\text{cg}})(1 - k^2) \quad (10)$$

Les simulations électromagnétiques de la transition entre les deux ports P1 et P2' sont présentées sur les Figure 18 et Figure 19. Cette simulation a été obtenue à partir d'une solution "driven terminal" sous HFSS en utilisant les ports P1, P2 et P3. De cette simulation, nous obtenons les paramètres S "3 ports" de la transition. Ensuite, sous ADS nous simulons de nouveau la transition en utilisant uniquement 2 ports suivant le principe décrit sur la Figure 20. Ces simulations sont comparées aux résultats donnés par les modèles localisés de la Figure 17.a et de la Figure 17.b.

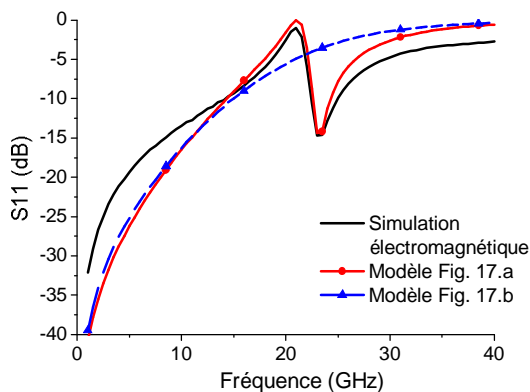


Figure 18 : Paramètres S11 de la transition obtenus en simulation électromagnétique et avec les modèles de la Figure 17.a et de la Figure 17.b

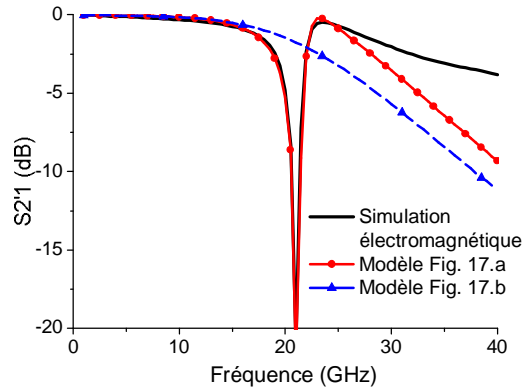


Figure 19 : Paramètres S2'1 de la transition obtenus en simulation électromagnétique et avec les modèles de la Figure 17.a et de la Figure 17.b

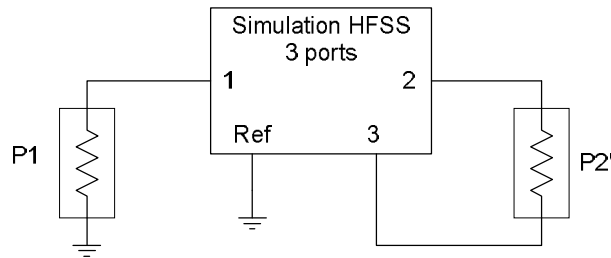


Figure 20 : Principe de simulation de la transition en utilisant les ports P1 et P2'

La Figure 18 et la Figure 19 confirment la validité du modèle électrique localisé de la transition défini sur la Figure 17.a. concernant la transmission entre les deux ports P1 et P2'. De plus lorsque la fréquence reste éloignée du zéro de transmission qui apparaît à la fréquence f_{res}^1 définie en (11) le modèle électrique en π de la Figure 17.b permet de modéliser avec une précision acceptable la transition électrique entre la puce et le circuit imprimé. Cette condition est bien vérifiée pour la bande de fréquence ULB.

$$f_{res}^1 = \frac{1}{2\pi\sqrt{L_{cg} * C_{cg}}} = 21 \text{ GHz} \quad (11)$$

III. Optimisation de la transition électrique entre la puce et le circuit imprimé

III.1. Introduction

Au paragraphe II, plusieurs modèles électriques représentant la transition puce - circuit imprimé ont été obtenus. Le domaine de validité de chaque modèle dépend de sa complexité. Nous avons montré qu'un modèle en π , composé d'une inductance série et deux capacités parallèles, permettait de caractériser la transition dans le domaine des fréquences utilisées en ULB avec une précision suffisante. Nous utilisons ce modèle dans ce paragraphe pour représenter la transition entre la puce et le circuit imprimé. L'objectif de ce paragraphe est d'améliorer les performances électriques de la transition entre la puce et le circuit imprimé. Nous fixerons de manière arbitraire comme objectif à atteindre un coefficient de réflexion inférieur à -15 dB dans toute la bande de fréquence ULB.

Plusieurs méthodes d'optimisation d'une transition par fils d'interconnexion sont décrites dans la littérature.

Une première méthode consiste à utiliser plusieurs fils d'interconnexion pour connecter la piste "signal" de la puce à la piste "signal" du circuit imprimé [12]. L'utilisation de plusieurs fils d'interconnexion en parallèle permet naturellement de réduire l'inductance parasite L_{bond} du modèle localisé équivalent néanmoins la mutuelle inductance entre l'inductance provenant des fils d'interconnexion connectant les lignes GCPW et MSL et l'inductance provenant des fils d'interconnexions connectant les masses est également réduite. Comme le montre la relation (10) cette méthode n'est efficace que si la mutuelle inductance de la transition originelle est faible.

De même, plusieurs fils d'interconnexion peuvent être utilisés pour connecter la masse du circuit imprimé et la masse de la puce. La valeur de l'inductance L_{cg} peut être ainsi diminuée. Il est également possible d'utiliser plusieurs fils d'interconnexion pour connecter les pistes "signal" et les masses et de les entrecroiser. Ainsi, les valeurs des inductances L_{bond} et L_{cg} du modèle de la Figure 17 sont diminuées et la mutuelle inductance augmentée. Grâce à cette technique, une transition

présentant en simulation une bande passante de 100 GHz et un coefficient de réflexion inférieur à -7.5 dB a été obtenue en [13]. Cependant l'utilisation de plusieurs fils d'interconnexion nécessite l'ajout de plots sur la puce augmentant la taille de celle-ci. De plus l'entrecroisement des fils d'interconnexion rend la fabrication plus complexe et augmente le risque de court circuit.

Une autre méthode d'optimisation consiste à ajouter des capacités enterrées sous les plots de la puce [14]. Cette technique permet d'obtenir une adaptation d'impédance de type LC à une fréquence donnée. Cependant cette méthode n'est optimale que pour des applications dites à "bande étroite".

Dans ce paragraphe, nous présentons deux méthodes pour optimiser la transition électrique entre la puce et le circuit imprimé. La première méthode consiste à adapter le circuit à la fréquence la plus élevée de la bande passante désirée. La seconde méthode consiste à intégrer les éléments parasites de la transition dans un filtre passe bas à partir des principes décrits en [8] et [15].

III.2. Contexte d'optimisation de la transition puce - circuit imprimé

Certains circuits intègrent la capacité des plots de la puce (C_{OnDie}) comme un élément du circuit. Par exemple, la capacité C_{P1} de la structure d'adaptation du LNA représenté sur la Figure 21 [16] est composée de la capacité du plot C_{OnDie} et d'une capacité MIM dessinée sur le circuit intégré. Dans ce cas, le modèle électrique de la transition puce - circuit imprimé qui ne doit pas inclure les éléments parasites liés à la puce, est constitué uniquement d'une inductance et d'une capacité (Figure 22). La puce étant déjà réalisée la transition ne peut être optimisée qu'à partir du circuit imprimé.

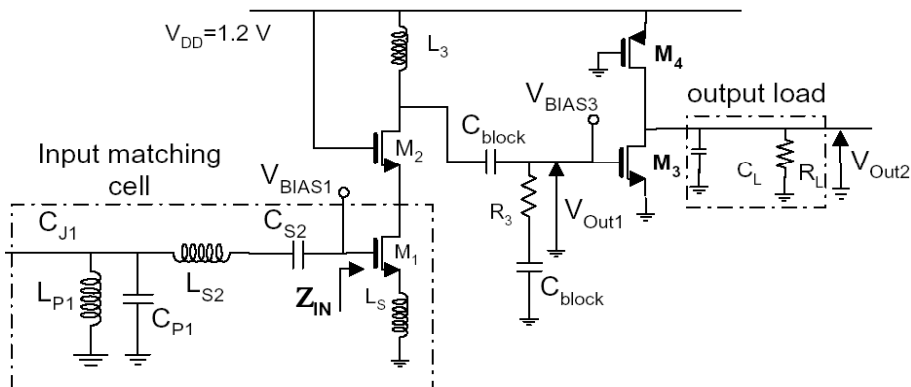


Figure 21 : LNA intégrant la capacité des plots d'entrées [16]

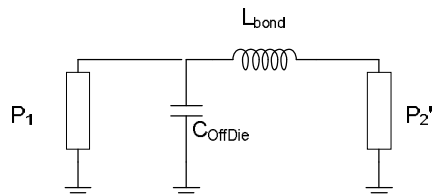


Figure 22 : Modèle de la transition puce - circuit imprimé (C_{OnDie} intégrée dans la conception de la puce)

Dans d'autre cas, la puce est conçue en même temps que la transition. Une conception conjointe ou "codesign" de la puce et du circuit imprimé est alors possible pour optimiser les performances électriques de la transition. Dans ce cas, en supposant que la capacité C_{OnDie} est à intégrer dans la transition puce - circuit imprimé, le modèle de la transition est celui représenté sur la Figure 17.b.

III.3. Optimisation de la transition puce - circuit imprimé par une adaptation d'impédance de type LC à la fréquence maximale

III.3.a. Optimisation des performances électriques de la transition puce - circuit imprimé en ajoutant uniquement de la capacité sur le circuit imprimé

Dans ce paragraphe, nous supposons que la capacité C_{OnPad} a été absorbée dans l'impédance d'entrée du premier bloc de la puce supposé parfaitement adaptée. Un codesign entre la puce et le circuit imprimé n'est alors pas possible et l'optimisation de la transition ne peut être réalisée qu'à partir du circuit imprimé. La transition est modélisée par le circuit de la Figure 22. En se basant sur la transition présentée sur la Figure 12, L_{bond} et C_{OffDie} valent respectivement 0.75 nH et 80fF. Dans la suite de ce paragraphe, comme seule la procédure d'optimisation nous intéresse, la transition sera représentée par ce modèle en supposant des composants idéaux.

La structure modélisant la transition étant du même type qu'un filtre passe bas du second ordre, la désadaptation du circuit est d'autant plus importante que la fréquence est élevée. Nous proposons une première méthode d'optimisation de la transition électrique entre la puce et le circuit imprimé, consistant à adapter l'impédance vue de l'antenne (elle-même supposée être parfaitement adaptée à 50Ω) à la fréquence d'intérêt la plus élevée. La fréquence maximale des systèmes ULB étant de 10.6 GHz, nous optimiserons de manière arbitraire la transition à 11 GHz afin de prendre un peu de marge.

Avant d'adapter la transition à 11 GHz, nous observons sur l'abaque de Smith l'effet de l'inductance et de la capacité modélisant la transition sur l'adaptation d'impédance vue du circuit imprimé.

L'inductance valant 0.75 nH, on calcule une impédance réduite de $i*1.04$ à la fréquence de 11 GHz. L'impédance d'entrée de la puce valant 50Ω , on se déplace du point central de l'abaque de Smith de 1.04 dans le sens des réactances croissantes (Figure 23). La capacité sur le circuit imprimé valant 80 fF, une impédance réduite de $-i*0.27$ est calculée. Sur l'abaque de Smith, on se déplace du point précédent ($1+i*1.04$) de 0.27 dans le sens des admittances croissantes (Figure 24).

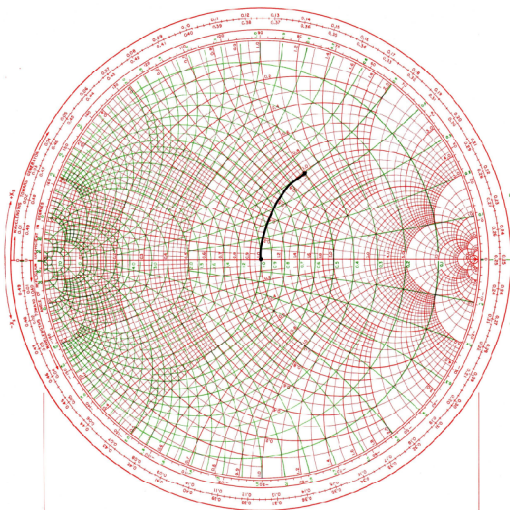


Figure 23 : Effet de l'inductance L_{BOND} (en noir) sur l'adaptation d'impédance

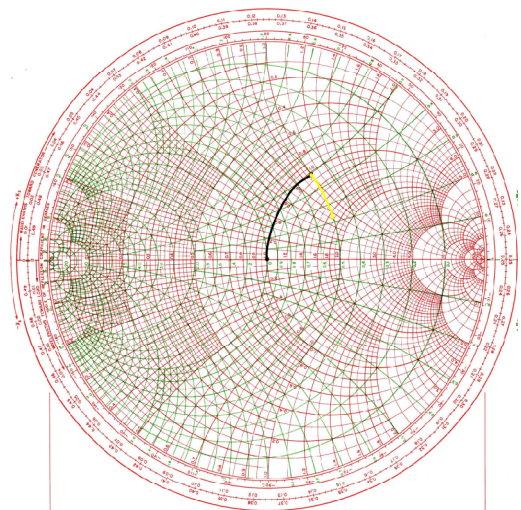


Figure 24 : Effet de la capacité C_{Offdie} (en jaune) sur l'adaptation d'impédance

Pour ne pas augmenter fortement la taille du circuit imprimé, nous n'optimisons la transition qu'en se limitant à l'ajout d'une capacité sur le circuit imprimé. L'ajout d'une capacité ne permet de se déplacer que dans le sens des admittances croissantes sur l'abaque de Smith. Dans ce cas la

meilleure adaptation possible à la fréquence de 11 GHz est obtenue lorsque la partie imaginaire de l'impédance présentée à l'antenne est nulle. Avant l'ajout de la capacité, l'impédance réduite présentée à l'antenne valait $1.7+i*0.79$. Le point d'impédance réduite de valeur 2 se trouve sur le même cercle d'admittance que l'impédance présentée par la puce à l'antenne. Pour atteindre cette valeur, il faut se déplacer de 0.21 sur ce cercle (Figure 25). La dé-normalisation de cette valeur indique qu'il faut ajouter une capacité de 61 fF pour atteindre la valeur d'impédance souhaitée.

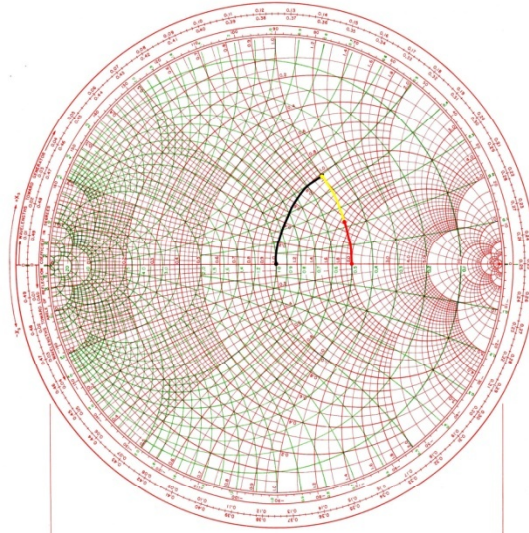


Figure 25 : Effet de la capacité ajoutée sur le circuit imprimé (en rouge) sur l'adaptation d'impédance

Les performances de la transition originelle et de la transition optimisée sont comparées sur la Figure 26 et dans le Tableau 2.

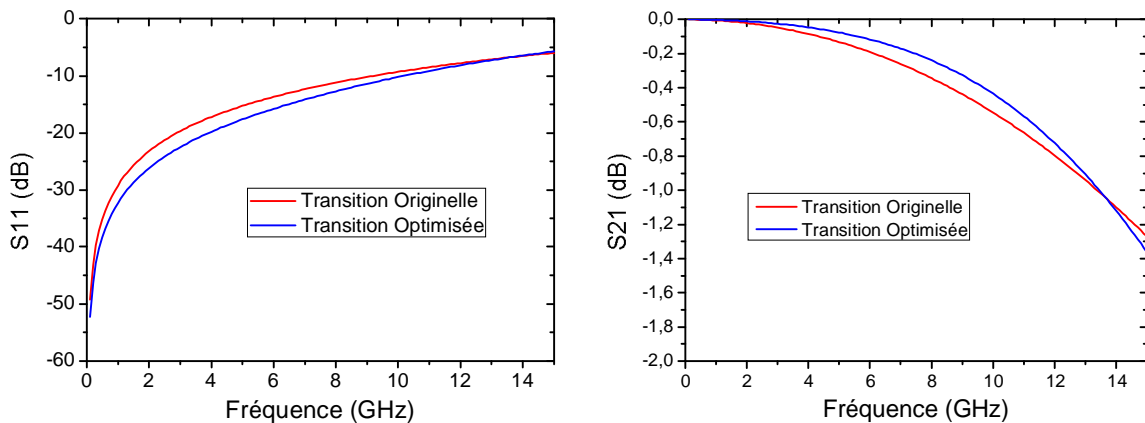


Figure 26 : Comparaison des paramètres S des différentes transitions (éléments idéaux)

	Transition	Transition optimisée
Fréquence de coupure (définie pour $S_{11} = -15$ dB)	5.1 GHz	6.4 GHz
Coefficient de réflexion max (entre 0 et 11 GHz)	-8.5 dB	-9.1 dB
Perte d'insertion max (entre 0 et 11 GHz)	0.66 dB	0.57 dB

Tableau 2 : Comparaison des différentes transitions (éléments idéaux)

L'ajout d'une capacité sur le circuit imprimé permet d'améliorer la bande passante de la transition (fixée à coefficient de réflexion inférieur à -15 dB) de 1.3 GHz et d'améliorer le coefficient de réflexion de 0.09 dB à 11 GHz. La capacité additionnelle peut être synthétisée par un élargissement

du ruban signal sur le circuit imprimé sans ajout de composant supplémentaire. Avec une telle transition, le signal hors bande n'est que très peu filtré. La transition finale (après optimisation) ne permet pas d'atteindre le coefficient de réflexion souhaité pour la transition (< -15 dB) pour toutes les fréquences ULB.

III.3.b. Optimisation des performances électriques de la transition puce - circuit imprimé en ajoutant de la capacité sur le circuit imprimé et sur le circuit intégré

Dans ce paragraphe, nous supposons qu'un codesign entre la puce et le circuit imprimé est possible. Par conséquent, il est possible d'ajouter des éléments sur la puce et le circuit imprimé pour améliorer la transition électrique entre la puce et le circuit - imprimé. Afin de ne pas augmenter trop l'encombrement de la puce et du circuit imprimé, nous nous limiterons à l'ajout d'une capacité sur la puce et d'une capacité sur le circuit imprimé. Nous supposons que l'impédance d'entrée du premier bloc de la puce vaut 50Ω .

La transition initiale est représentée par le modèle de la Figure 17.b (L_{bond} , C_{OffDie} et C_{OnDie} valant respectivement 0.75 nH 80 fF et 133 fF). Dans la suite de ce paragraphe, comme seule la procédure d'optimisation nous intéresse, la transition sera représentée par ce modèle en supposant des composants idéaux. Comme dans le paragraphe précédent, nous proposons de réaliser une adaptation de type LC à la fréquence la plus élevée du système (11 GHz).

L'inductance présente une impédance réduite à 11 GHz valant $i*1.03$. Il est possible d'adapter parfaitement la transition à cette fréquence en ajoutant uniquement deux capacités parallèles. Pour cela, il faut que le modèle de la transition optimisée soit symétrique. En particulier, le déplacement du point sur l'abaque de Smith dû à l'inductance doit être symétrique par rapport à l'axe de la partie réelle de l'impédance.

Le rôle de la capacité que l'on ajoute sur la puce est d'amener du point d'impédance réduite 1 à une impédance valant $1.03/2+i*X$. X étant la valeur de la partie imaginaire permettant d'atteindre cette partie réelle d'impédance.

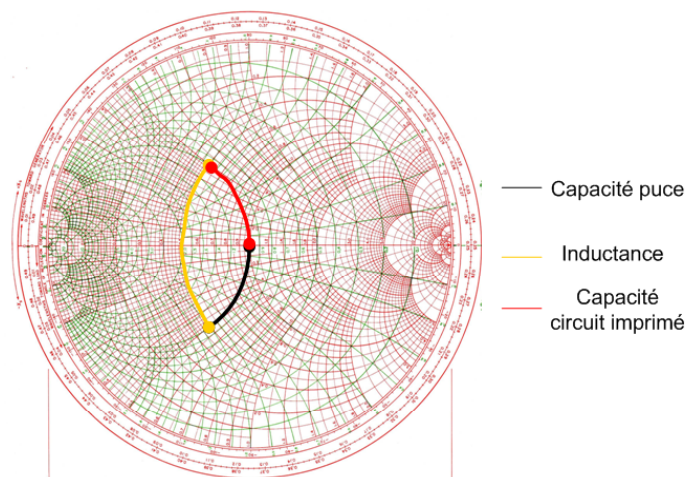


Figure 27 : Optimisation de la transition à l'aide de 2 capacités

Une capacité de 278 fF de chaque côté de l'inductance permet d'adapter la puce à l'antenne à une fréquence 11 GHz (Figure 27). Pour obtenir cette adaptation, il est donc nécessaire d'ajouter une capacité de 145 fF sur la puce et de 198 fF sur le circuit imprimé pour obtenir les valeurs de capacités désirées.

La Figure 28 montre la variation de l'impédance d'entrée du système vue de l'antenne en fonction de la fréquence. Le coefficient de réflexion vue de l'antenne est présenté sur la Figure 29 et est comparé à celui de la transition originelle. Comme prévu, une bonne adaptation est obtenue à 11 GHz, cependant une ondulation non maîtrisée est présente en dessous de cette fréquence. Selon la valeur de l'inductance, il se peut que la transition présente un coefficient de réflexion trop élevé en milieu de bande.

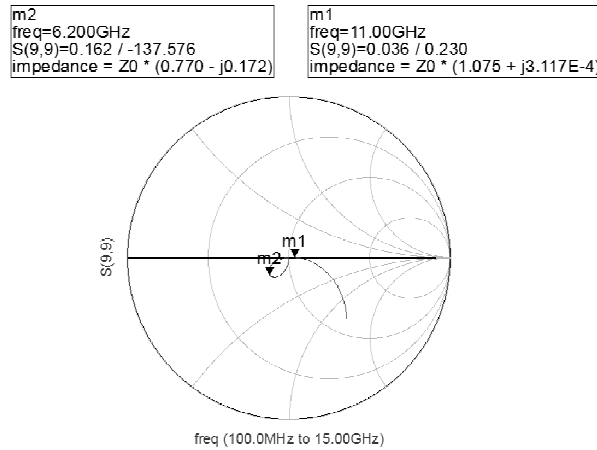


Figure 28 : Variation de l'impédance vue par l'antenne en fonction de la fréquence

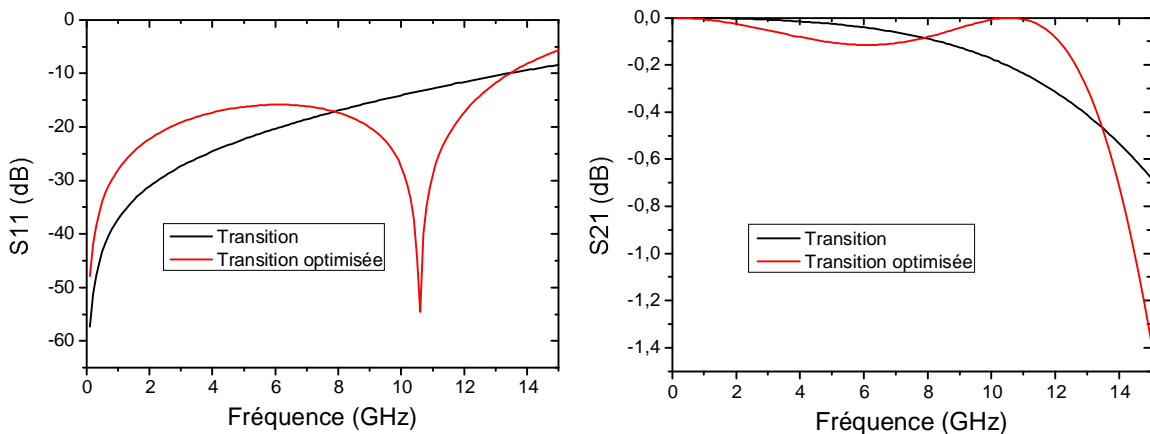


Figure 29 : Comparaison des paramètres S de la transition et de la transition optimisée par l'ajout de deux capacités (éléments idéaux)

Les performances de la transition et de la transition optimisée sont comparées dans le Tableau 3. L'ajout d'une capacité sur le circuit imprimé et d'une capacité sur la puce permet d'améliorer la bande passante (fixée à un coefficient de réflexion inférieur à -15 dB) de 3 GHz et d'améliorer le coefficient de réflexion dans la bande (DC - 11 GHz) de 3.1 dB.

	Transition	Transition optimisée
Fréquence de coupure (définie pour $S_{11} = -15$ dB)	9.3 GHz	12.3 GHz
Coefficient de réflexion max (entre 0 et 11 GHz)	-12.7 dB	-15.8 dB
Perte d'insertion max (entre 0 et 11 GHz)	0.24 dB	0.11 dB

Tableau 3 : Comparaison de la transition et de la transition optimisée (éléments idéaux)

Cette transition permet d'obtenir un coefficient de réflexion inférieur à -15 dB et des pertes d'insertion inférieures à 0.11 dB dans la bande de fréquences ULB. Cette transition répond au cahier des charges fixé.

III.3.c. Conclusion

Dans cette partie, nous avons présenté une méthode d'optimisation de la transition puce - circuit imprimé basée sur l'adaptation de l'impédance vue de l'antenne à la fréquence la plus élevée du système (ici 11 GHz).

Lorsque la puce est déjà réalisée et qu'un codesign n'est pas possible, l'adaptation est réalisée par l'ajout d'une capacité sur le circuit imprimé. Dans ces conditions nous n'avons pas pu obtenir un coefficient de réflexion inférieur à -15 dB dans la bande de fréquences ULB.

Lorsque un codesign est possible, une capacité MIM supplémentaire peut être ajoutée sur la puce et la transition optimisée permet d'obtenir un coefficient de transmission inférieur à -15 dB dans la bande de fréquences ULB. Cependant, une ondulation non maîtrisée est présente en milieu de bande.

III.4. Processus d'intégration des éléments parasites d'une transition puce - circuit imprimé par "wirebonding" dans un filtre passe bas

III.4.a. Introduction

Au paragraphe II.4.d, la transition puce - circuit imprimé a été modélisée par un modèle en π comprenant deux capacités parallèles (C_{onDie} et C_{offDie}) et une inductance série (L_{bond}). Ce modèle électrique en π a la même architecture qu'un filtre passe bas. Les éléments parasites de la transition peuvent donc être intégrés dans un filtre passe bas. Notons que selon l'ordre du filtre souhaité, il peut être nécessaire d'ajouter des capacités et/ou des inductances à la transition.

Un processus d'optimisation a été mis en place pour améliorer les performances électriques d'une transition par "wirebonding". Ce processus est détaillé sur la Figure 30 pour la conception d'un filtre d'ordre trois intégrant les éléments parasites de la transition.

Il est admis dans ce paragraphe que la longueur des fils d'interconnexion a été fixée, ce qui est généralement le cas. En effet pour les signaux radio fréquence, la longueur des fils d'interconnexion est habituellement minimisée pour éviter de dégrader le signal.

Avant de présenter le processus d'optimisation de la transition électrique, un bref rappel sur la conception des filtres normalisés est fait dans la partie III.4.b.

III.4.b. Rappel sur la méthode de calcul des filtres normalisés

Quelque soit l'ordre ou le type de filtre, les éléments le composant peuvent être normalisés par rapport à une impédance Z_c et une fréquence f_0 . On peut alors concevoir le filtre indépendamment de sa fréquence de coupure et de son type (passe bas, passe haut...) en ne définissant qu'une ondulation dans la bande. Le filtre est alors caractérisé par ses paramètres normalisés (g_1, g_2, \dots) [18].

Les valeurs normalisées à la fréquence f_0 d'une résistance, d'une inductance et d'une capacité sont données respectivement en (12) (13) et (14).

$$r = \frac{R}{Z_c} \quad (12)$$

$$\lambda = \frac{L * 2\pi f_0}{Z_c} \quad (13)$$

$$\gamma = C * Z_c * 2\pi f_0 \quad (14)$$

Pour obtenir un filtre passe bas ayant une ondulation désirée dans la bande de fréquence (DC - f_0), il faut utiliser une alternance de capacités et d'inductances normalisées correspondant aux coefficients du filtre choisi [18]. Ces coefficients, qui dépendent du type de filtre (Tchebychev, Butterworth...), de son ondulation et de son ordre, sont disponibles dans les ouvrages spécialisés [54].

III.4.c. Processus d'intégration des éléments parasites de la transition puce - circuit imprimé dans un filtre passe bas

Dans ce paragraphe, nous présentons une méthodologie d'optimisation d'une transition électrique basée sur l'intégration de ses éléments parasites dans un filtre passe bas. Le processus d'optimisation est schématisé sur la Figure 30 en supposant que les éléments parasites de la transition sont intégrés dans un filtre passe bas d'ordre 3.

La première étape du processus consiste à extraire les valeurs des éléments parasites (C_1, L_{bond} et C_2) de la transition initiale à partir des résultats de simulation électromagnétique. En normalisant ces éléments par rapport à l'impédance Z_c souhaitée (en général 50Ω) et à la fréquence de coupure f_{cutoff} désirée, le paramètre g_2 du filtre est obtenu car l'inductance L_{bond} a une valeur figée.

L'étape suivante consiste à choisir une ondulation maximum dans la bande passante et un type de filtre (Tchebychev, Butterworth, ...) permettant d'obtenir la valeur de g_2 trouvée précédemment. Cette ondulation est directement reliée au coefficient de réflexion maximal dans la bande passante. Ce choix fixe les coefficients du filtre (g_1 et g_3) et par conséquent les valeurs des capacités constituant le filtre (Figure 31.a).

A ce stade, il est nécessaire de vérifier que les valeurs des capacités du filtre souhaité soient supérieures ou égales aux capacités extraites du modèle de la transition. Si cette condition est validée, des capacités sont ajoutées de chaque côté de la transition pour obtenir les valeurs de capacités désirées permettant de synthétiser le filtre (Figure 31.b). Si jamais la dernière condition n'est pas vérifiée, il faut changer l'ondulation ou le type de filtre jusqu'à obtenir des valeurs permettant de satisfaire cette condition.

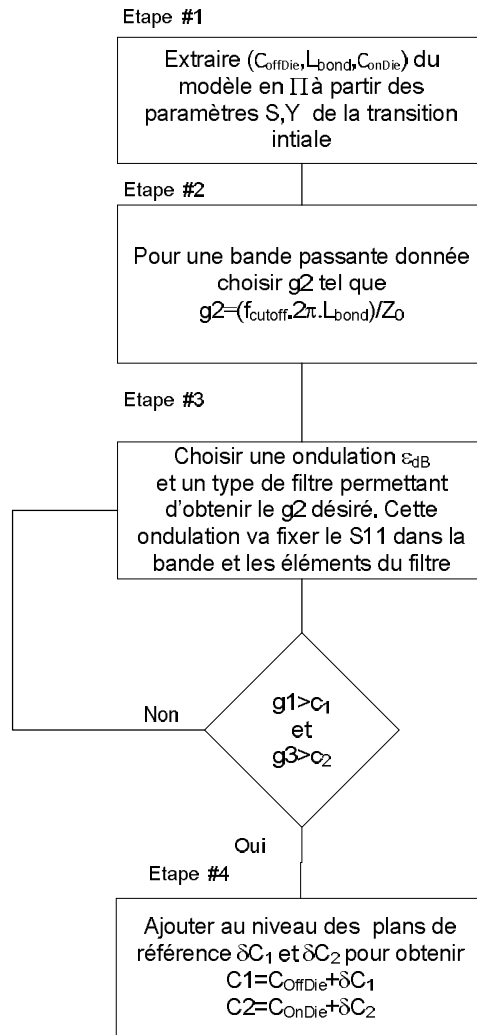


Figure 30 : Processus d'optimisation de la transition puce - circuit imprimée par intégration des éléments parasites dans un filtre passe bas d'ordre 3

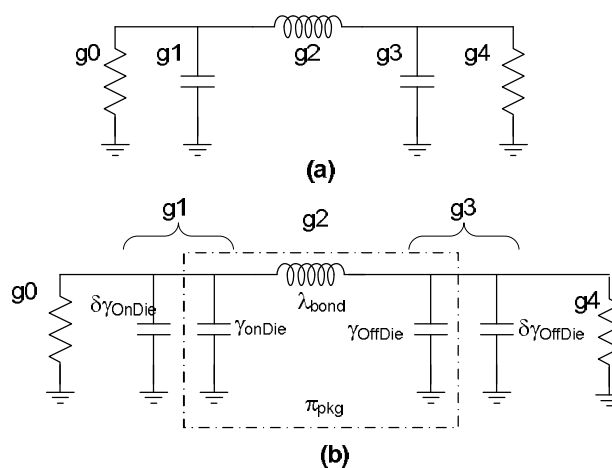


Figure 31 : (a) Topologie d'un filtre LC du 3^e ordre. (b) Topologie d'une transition embarquée dans un filtre du 3^e ordre

III.4.d. Optimisation de la transition puce - circuit imprimé

Dans ce paragraphe, nous optimisons la transition présentée à la Figure 12 par le processus décrit au paragraphe précédent. Comme au paragraphe III.3, deux cas seront étudiés en fonction de la possibilité d'intégrer des éléments sur la puce. L'objectif est toujours de réaliser une transition ayant un coefficient de réflexion inférieur à -15 dB pour toutes les fréquences ULB.

Les deux premières étapes du processus d'optimisation sont indépendantes de l'accessibilité de la puce. La première étape consiste à extraire un modèle équivalent de la transition. Nous avons présenté au paragraphe II (Figure 17.b) un modèle électrique en π . Les valeurs des éléments modélisant cette transition sont rappelées dans le Tableau 4. Dans la suite de ce paragraphe, comme seule la procédure d'optimisation nous intéresse, la transition sera représentée par ce modèle en supposant des composants idéaux.

L_{bond}	0.75 nH
C_{offDie}	80 fF
C_{OnDie}	133 fF

Tableau 4 : Extraction des éléments modélisant la transition

La fréquence maximale pour les différentes normes ULB étant de 10.6 GHz, nous fixons une fréquence de coupure f_{cutoff} pour le filtre de 11 GHz pour obtenir une marge lors de la réalisation. A partir de l'équation (15), le paramètre g_2 est calculé et vaut 1.14.

$$g_2 = \lambda_{bond} = \frac{2\pi f_{cutoff}}{Z_0} \cdot L_{bond} \quad (15)$$

La troisième étape du processus d'optimisation consiste à choisir un type de filtre ainsi qu'une ondulation permettant d'obtenir le paramètre g_2 déduit de l'étape précédente. Deux cas se présentent : si un codesign avec la puce est possible on peut intégrer les éléments parasites de la transition dans un filtre d'ordre 3. Dans le cas contraire où C_{OnDie} a été inclus dans le premier bloc de la puce et que celle-ci n'est pas accessible, seul un filtre d'ordre 2 peut être réalisé.

Optimisation de la transition à partir d'un filtre d'ordre 2

Ici, nous supposons que la puce est figée et que C_{OnDie} a été inclus dans le premier bloc de la puce. Dans ce cas, le modèle de la transition est celui présenté sur la Figure 22, et la transition ne peut être améliorée qu'en intégrant ses éléments parasites dans un filtre d'ordre 2 (nous nous limitons à l'ajout d'une unique capacité sur le circuit imprimé pour ne pas augmenter excessivement la taille de celui-ci).

L'étape suivante consiste à trouver un type de filtre d'ordre 2 permettant d'obtenir $g_2=1.04$ pour une impédance de charge de 50Ω . Les filtres passe bas de type Tchebychev ne permettent pas de valider cette dernière condition. Un filtre de Butterworth d'ondulation 1.1 dB répond au critère $g_2=1.04$ et permet d'obtenir une impédance de charge de 50Ω . Pour un tel filtre le paramètre g_1 vaut 1.04.

De l'équation (14) on déduit la valeur de la capacité du filtre à synthétiser ($C_1 = 300$ fF). Pour réaliser un tel filtre avec la transition, il faut donc ajouter une capacité de 220 fF ($C_1 - C_{OffDie}$) sur le circuit imprimé.

Cependant grâce à l'équation (16), on peut d'ores et déjà prévoir un coefficient de réflexion maximal de -6.5 dB dans les 11 GHz de bande. Cette transition ne répondra donc pas au cahier des charges.

$$RL = -20 * \log(\sqrt{1 - 10^{-\frac{\epsilon_{dB}}{10}}}) \quad (16)$$

La Figure 32 et le Tableau 5 comparent les performances de la transition originelle et de la transition optimisée.

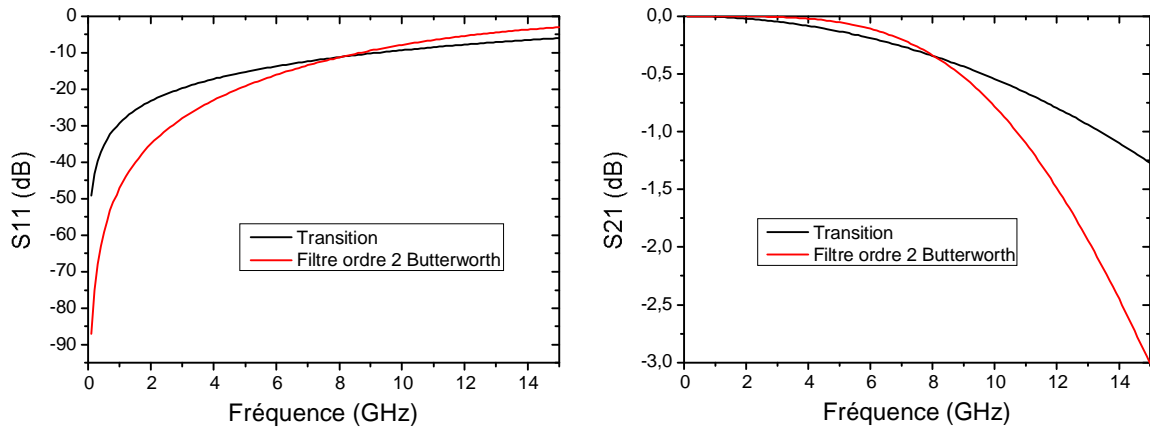


Figure 32 : Comparaison des paramètres S de la transition et de la transition optimisée (éléments idéaux)

	Transition	Transition optimisée
Fréquence de coupure (définie pour S11=- 15 dB)	5.1 GHz	6.4 GHz
Coefficient de réflexion max (entre 0 et 11 GHz)	-8.5 dB	- 6.5 dB
Perte d'insertion max (entre 0 et 11 GHz)	0.66 dB	1.1 dB

Tableau 5 : Comparaison de la transition et de la transition optimisée (éléments idéaux)

L'intégration des éléments parasites de la transition dans un filtre d'ordre 2 permet d'améliorer la transition jusqu'à la fréquence de 8 GHz où les courbes de la Figure 32 se croisent. Au delà de cette fréquence, l'intégration des éléments parasites de la transition dans un filtre passe bas dégrade les performances électriques de la transition. La fréquence de coupure (fixée pour un coefficient de réflexion inférieur à -15 dB) est améliorée de 1.3 GHz mais cette transition ne permet pas d'obtenir un coefficient de réflexion inférieur à -15 dB dans toute la bande de fréquences ULB.

Optimisation de la transition à partir d'un filtre d'ordre 3

Lorsque un codesign entre la puce et le circuit imprimé est possible, on peut intégrer les éléments parasites de la transition dans un filtre passe bas d'ordre 3. Le modèle électrique de la transition est alors celui de la Figure 17.b et les valeurs des éléments du modèle ceux du Tableau 4.

La fréquence de coupure choisie étant égale à 11 GHz, le paramètre g2 du filtre à concevoir est inchangé et vaut 1.04. Un filtre de Butterworth ayant une ondulation 0.08 dB et un filtre de Tchebychev ayant une ondulation de 0.02 dB répondent à ce critère. Les paramètres g1 et g3 d'un filtre de Butterworth et de Tchebychev valent respectivement (0.52, 0.52) et (0.72, 0.72).

A partir de ces paramètres et en utilisant la relation (14), les valeurs des capacités (C1 et C2) composant les filtres à synthétiser sont déduites. De l'équation (15), le coefficient de réflexion maximum dans la bande (DC - 11GHz) est trouvé. Ces résultats sont présentés dans le Tableau 6.

	Butterworth	Tchebychev
L_{bond}	0.75 nH	0.75 nH
C1 - C2	153 fF	208 fF
Capacité à ajouter sur le circuit imprimé δC_1	73 fF	128 fF
Capacité à ajouter sur la puce δC_2	20 fF	75 fF
Coefficient de réflexion maximum	-16.8 dB	-23.4 dB

Tableau 6 : Paramètres des filtres de Butterworth et de Tchebychev (éléments idéaux)

La Figure 33 et le Tableau 5 comparent les performances de la transition originelle et des transitions optimisées.

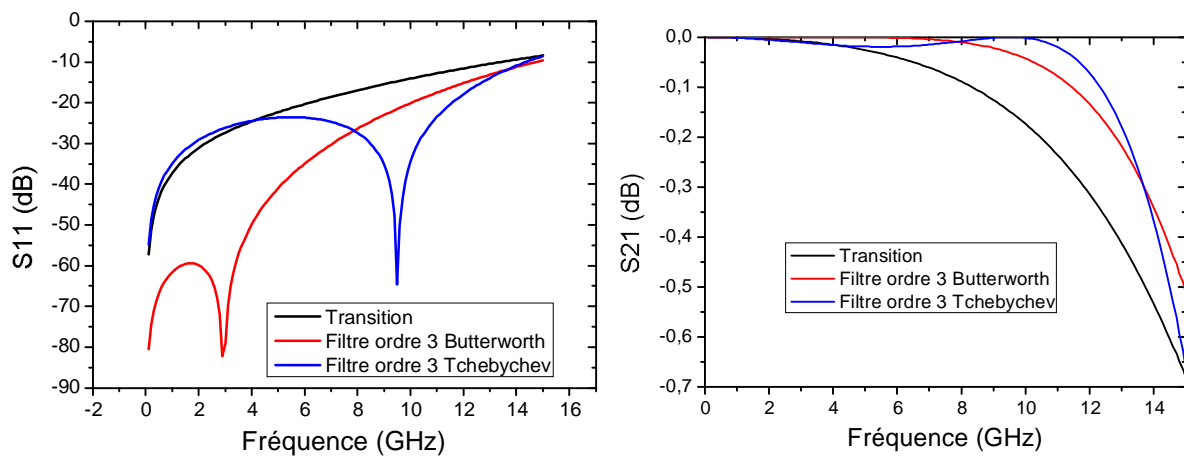


Figure 33 : Comparaison des paramètres S de la transition originelle et des transitions optimisées par des filtres passe bas de type Butterworth et Tchebychev d'ordre 3 (éléments idéaux)

	Transition	Filtre ordre 3 Butterworth	Filtre ordre 3 Tchebychev
Fréquence de coupure (définie pour $S_{11} = -15$ dB)	9.3 GHz	12.1 GHz	12.7 GHz
Coefficient de réflexion max (entre 0 et 11 GHz)	-12.7 dB	-17.5 dB	-23.4 dB
Perte d'insertion max (entre 0 et 11 GHz)	0.24 dB	0.08 dB	0.02 dB

Tableau 7 : Comparaison de la transition et des transitions optimisées (éléments idéaux)

L'intégration des éléments parasites de la transition dans un filtre d'ordre 3 permet d'améliorer la fréquence de coupure (fixée pour un coefficient de réflexion inférieur à -15 dB) de plus de 2.8 GHz. Les transitions qui sont réalisées à partir d'un filtre d'ordre 3 de Butterworth ou de Tchebychev permettent d'obtenir un coefficient de réflexion inférieur à -15 dB pour toutes les fréquences ULB.

III.4.e. Comparaison des procédures d'optimisation

Le Tableau 8 résume les performances des différentes méthodes d'optimisation présentées.

	Codesign circuit imprimé - puce impossible			Codesign circuit imprimé - puce possible			
	Transition	Smith - 1 capacité	Filtre ordre 2	Transition	Smith - 2 capacités	Filtre ordre 3 Butterworth	Filtre ordre 3 Tchebychev
Fréquence de coupure (définie pour $S_{11} = -15$ dB)	5.1 GHz	6.4 GHz	6.4 GHz	9.3 GHz	12.3 GHz	12.1 GHz	12.7 GHz
Coefficient de réflexion max (entre 0 et 11 GHz)	-8.5 dB	-9.1 dB	-6.5 dB	-12.7 dB	-15.8 dB	-17.5 dB	-23.4 dB
Perte d'insertion max (entre 0 et 11 GHz)	0.66 dB	0.57 dB	1.1 dB	0.24 dB	0.11 dB	0.08 dB	0.02 dB

Tableau 8 : Comparaison des transitions et transitions optimisées

Cette étude montre que si un codesign entre la puce et le circuit imprimé n'est pas possible, il est impossible d'obtenir une transition ayant un coefficient de réflexion inférieur à -15 dB pour toutes les fréquences de l'ULB à partir de la transition présentée à la Figure 12. La meilleure transition est obtenue par la méthode de l'adaptation d'impédance à la fréquence la plus élevée et permet d'avoir un coefficient de réflexion inférieur à -9.1 dB et des pertes d'insertion inférieures à 0.57 dB dans toute la bande de fréquences ULB. En comparaison la transition originelle permet d'avoir un coefficient de réflexion inférieur à -8.5 dB et des pertes d'insertion inférieures à 0.66 dB dans toute la bande de fréquences ULB.

Lorsqu'un codesign entre la puce et le circuit imprimé est possible on peut alors intégrer les éléments parasites de la transition dans un filtre passe bas d'ordre 3. Cette méthode permet d'obtenir les meilleures performances électriques et permet en outre de réduire le bruit hors bande. Nous avons pu obtenir ainsi une transition électrique qui présente un coefficient de réflexion inférieur à -23.4dB et des pertes d'insertion inférieures à 0.02 dB dans toute la bande de fréquences ULB.

III.5. Réalisation d'une transition puce - circuit imprimé optimisée

Au paragraphe précédent nous avons présenté des méthodes d'optimisation de la transition puce - circuit imprimé en considérant des modèles et des éléments idéaux. Dans ce paragraphe, nous présentons un exemple de réalisation d'une transition optimisée. Cette transition, qui est basée sur l'intégration des éléments parasites de la transition dans un filtre passe bas d'ordre 2 de Butterworth d'ondulation 1.1 dB, est celle qui a été présentée au paragraphe III.4.d. Elle a été étudiée pour les circuits intégrés où la capacité parasite du plot d'entrée est incluse dans l'impédance d'entrée du premier bloc supposé être parfaitement adapté à 50Ω . Les valeurs des éléments modélisant la transition (L_{bond} , C_{OffDie} et C_{OnDie}), les valeurs du filtre à synthétiser (C_1 et L_{bond}) ainsi que la valeur de la capacité à ajouter sur le circuit imprimé (δC_1) pour pouvoir réaliser ce filtre sont rappelées dans le Tableau 9.

Pour synthétiser ce filtre, il faut ajouter une capacité de 220 fF sur le circuit imprimé. Cette capacité est obtenue par un tronçon de ligne d'impédance caractéristique 33Ω et de longueur 0.96 mm. Le modèle HFSS de la transition, le prototype de test et un zoom de la transition sont représentés sur la Figure 34. Le tronçon de ligne d'impédance caractéristique 33Ω a été obtenu par un élargissement du ruban signal comme on peut le voir sur la Figure 34.

Le prototype de test nous permettra de valider sur des mesures les modèles présentés et la méthodologie utilisée pour nos simulations électromagnétiques.

Transition		Filtre	
L_{bond}	0.75 nH	L_{bond}	0.75 nH
C_{offDie}	80 fF	C_1	80 fF
C_{onDie}	133 fF	δC_1	220 fF

Tableau 9 : Extraction des éléments modélisant la transition

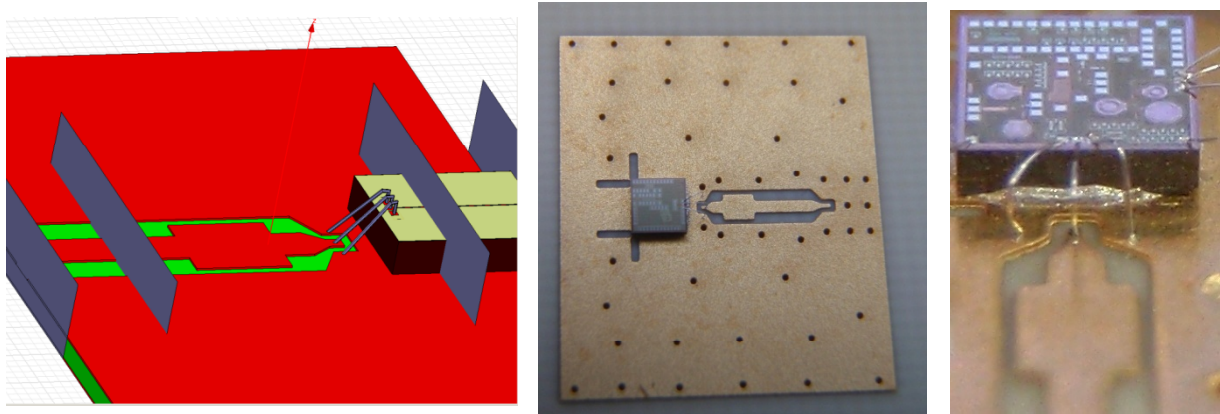


Figure 34 : Modèle HFSS de la transition et prototype de test

Le problème de la définition des plans de référence et du choix des ports d'excitation se pose pour les mesures de manière similaire que lors des simulations électromagnétiques : on ne peut poser les pointes directement aux bornes de la transition. On n'a donc accès en mesure qu'aux paramètres S incluant, outre la transition complète, un tronçon de ligne sur le circuit imprimé et un tronçon de ligne sur la puce. Il est facile d'éplucher l'effet du tronçon de ligne sur le circuit imprimé car cette ligne utilise le plan de masse global. En revanche la ligne sur la puce utilise un plan de masse local difficile à éplucher.

Lors de la mesure de la transition, nous obtenons une "boîte de paramètre S" à 2 ports dans la même configuration de test que celle indiquée sur la Figure 20. Dans cette configuration, nous perdons la référence du port 3 et nous ne pouvons donc pas éplucher simplement l'effet des plots et de la ligne sur la puce pour obtenir les paramètres S de la transition. De plus, les pertes substrats dans le silicium sont difficiles à estimer précisément avec une simulation électromagnétique. Pour obtenir un modèle représentatif de ce qui a été mesuré, nous devons prendre en compte, outre la transition proprement dite, les plots et la ligne sur la puce incluant les pertes dans le substrat du circuit intégré. L'effet des plots et de la ligne incluant les pertes substrats peut être obtenu en les mesurant directement sur une puce nue.

La Figure 36 compare la mesure du prototype de test aux résultats des simulations définies sur la Figure 35. La Figure 35.a correspond à la simulation HFSS de la transition à laquelle nous avons substitué la capacité C_{onDie} de 133 fF par la mesure des plots et de la ligne sur une puce nue pour tenir compte des pertes substrats. Dans la Figure 35.b la transition est modélisée par le modèle localisé de la figure 21.a qui a été complété, pour tenir compte des pertes substrats, par la mesure des plots et de la ligne sur une puce nue. Le modèle localisé de la figure 21.a permet en effet la prise en compte d'une masse locale sur la puce, connectée à la masse locale par les deux fils d'interconnexion.

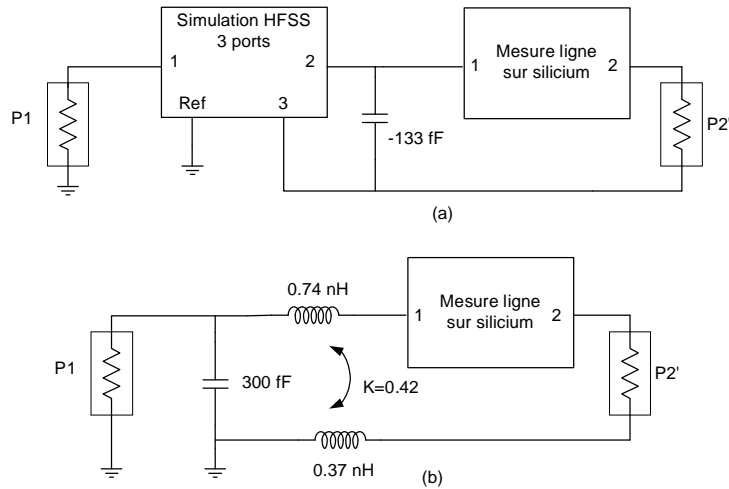


Figure 35 : (a) Modèle électromagnétique corrigé pour rendre compte des pertes substrat, (b) Modèle localisé du filtre idéal corrigé pour rendre compte des pertes substrat et de la connexion des deux masses.

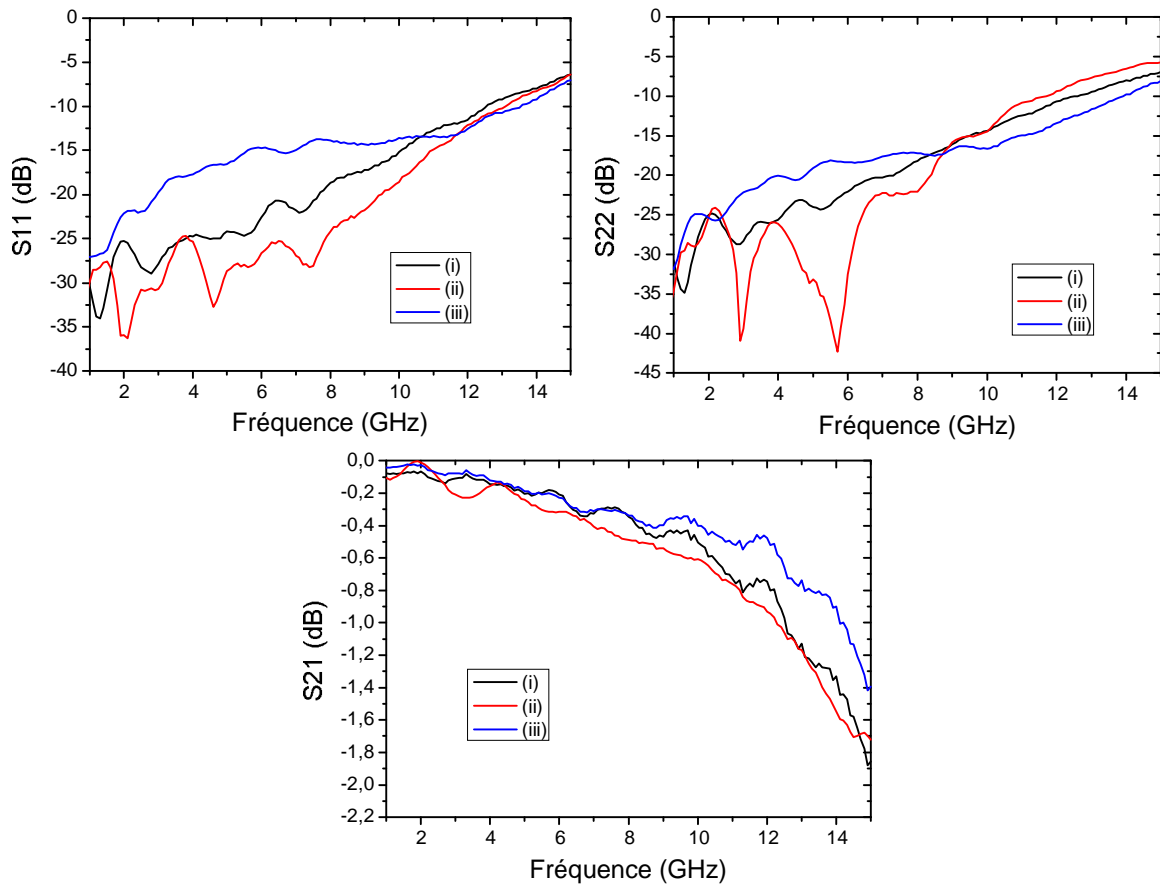


Figure 36 : Comparaison des paramètres S de (i) la simulation de la Figure 35.a, (ii) la transition mesurée et (iii) la simulation de la Figure 35.b

La présence de deux ports qui ne partagent pas la même référence engendre des ondulations et une imprécision des résultats de mesure. Néanmoins on note un accord raisonnable entre la mesure et les deux modèles présentés.

Le prototype mesuré présente un coefficient de réflexion vue de l'antenne inférieur à -15 dB jusqu'à 11 GHz. Le coefficient de réflexion vue de la puce reste inférieur à -15 dB jusqu'à 9.5 GHz. Les pertes d'insertion mesurées sont inférieures à 0.7dB jusqu'à 11GHz. Il convient de remarquer que ces performances sont supérieures à celles de la transition optimisée à éléments idéaux d'ordre 2. L'explication de cette amélioration vient du fait que le prototype qui inclue la transition et l'effet de

la ligne et des plots sur la puce devient une transition d'ordre trois qui se rapproche d'une transition d'ordre 3 idéale.

IV. Réalisation de prototypes incluant une transition puce - circuit imprimé par "wirebonding" dans leurs architecture

IV.1. Intégration d'une protection ESD dans une transition RF

IV.1.a. Introduction

Le rendement de fabrication est un critère extrêmement important lors de la réalisation d'une puce. De même, un système électronique est généralement garanti plusieurs années après sa fabrication. Or une puce, lors de sa réalisation ou au cours de sa vie peut être soumise à de fortes décharges électrostatiques. Une décharge peut provenir du contact avec une personne physique qui toucherait une entrée/sortie (I/O) ou du contact avec un instrument (par exemple lors de la mesure de la puce). Une décharge électrostatique dans un circuit non protégé peut provoquer le claquage de l'oxyde de grille d'un transistor. Les décharges électrostatiques arrivent généralement sur la puce par un plot connecté au circuit imprimé. Celles-ci peuvent donc avoir lieu sur le plot d'alimentation VDD, sur un plot amenant une tension de polarisation ou sur un plot d'entrée/sortie (I/O).

Pour protéger les circuits que nous réalisons, nous intégrons une protection ESD aux différents plots suivant le modèle de la Figure 37. La protection ESD du plot d'alimentation VDD est réalisée grâce à un transistor ayant un oxyde de grille épais. Le drain de ce transistor est connecté au plot d'alimentation. La grille et la source du transistor sont connectées à la masse. Lors d'une décharge positive le transistor devient passant et dirige la décharge vers la masse. En cas de décharge négative la diode PN du transistor est activée et la décharge est également dirigée vers la masse.

Des diodes de protection connectées à VDD ou à la masse assurent la protection des plots d'I/O et de polarisation. Avec ces diodes, les décharges positives sont dirigées vers le transistor ayant un oxyde épais et les décharges négatives sont directement dirigées vers la masse.

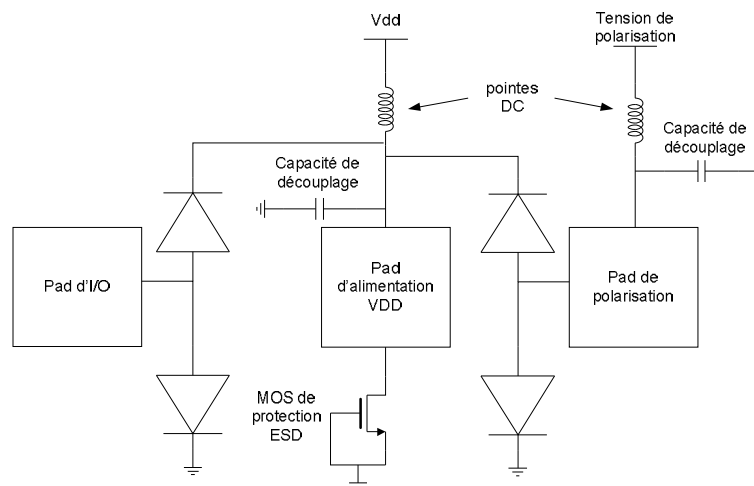


Figure 37 : Circuits avec des plots contenant des protections ESD

Lorsque l'on désire protéger le plot signal de la transition haute fréquence présentée lors des paragraphes précédents, les éléments parasites associés aux diodes de protection se retrouvent directement en parallèle sur le plot et perturbent la transmission du signal. L'objectif de ce

paragraphe est la conception d'une interface haute fréquence protégée des décharges électrostatiques.

IV.1.b. Réalisation et intégration des éléments parasites des protections ESD dans la transition puce - circuit imprimé

Une vue "layout" d'un circuit contenant des protections ESD réalisé au cours de la thèse est représentée sur la Figure 38. De larges lignes amènent la masse et l'alimentation aux diodes des plots pour minimiser les résistances séries parasites. En effet si ces résistances sont trop importantes les protections ESD sont moins efficaces car une surtension ohmique non négligeable pour les forts courants apparaît.

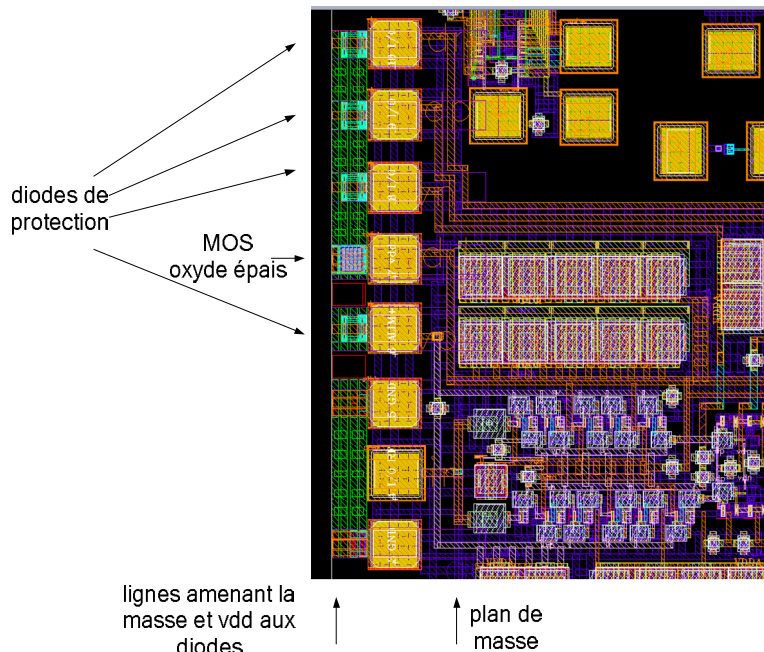


Figure 38 : Layout d'un circuit avec des protections ESD

D'après le design kit de la technologie utilisée, l'ajout des diodes pour réaliser une protection ESD sur un plot d'I/O ou de polarisation engendre une capacité parasite de 105 fF entre le plot et la masse qui ne peut pas être ignoré en haute fréquence. En revanche, dans le cas d'un plot amenant une polarisation, cette capacité est favorable puisque elle augmente la capacité de découplage entre la tension de polarisation et la masse.

En considérant que pour connecter le circuit, nous utilisons la même structure que dans le paragraphe II.4.b (un plot suivi d'une ligne d'accès sur la puce de $150\ \mu\text{m}$), le plot et la ligne d'accès sur la puce engendre une capacité parasite de 133 fF (voir Tableau 4). En rajoutant à cette capacité, la capacité provenant des diodes de protection, nous obtenons un plot protégé par ESD avec une ligne d'accès de $150\ \mu\text{m}$ sur la puce engendrant une capacité parasite de 238 fF. Pour compenser l'effet de cette capacité parasite, on peut l'intégrer dans la transition puce - circuit imprimé afin de réaliser un filtre passe-bas d'ordre 3. Au paragraphe III.4.d, nous avons conçu une transition puce - circuit imprimé où les éléments parasites de la transition puce - circuit imprimé étaient intégrés dans un filtre d'ordre 3 de Tchebychef d'ondulation 0.02 dB. Pour réaliser ce filtre nous avons dû ajouter une capacité de 75 fF sur la puce. Lorsque la protection ESD est présente, on peut utiliser la partie capacitive de la protection ESD pour remplacer la capacité MIM de 75 fF.

De cette manière la transition puce - circuit imprimé correspond à une structure passe-bas CLC en π dont les éléments valent (208 fF, 0.75 nH et 238 fF) en lieu et place de la transition optimisée. La Figure 39 compare les paramètres S de la transition optimisée de référence (structure CLC valant 208 fF, 0.75 nH et 208 fF) et la transition optimisée avec protection ESD. Ces résultats sont présentés en supposant des composants idéaux.

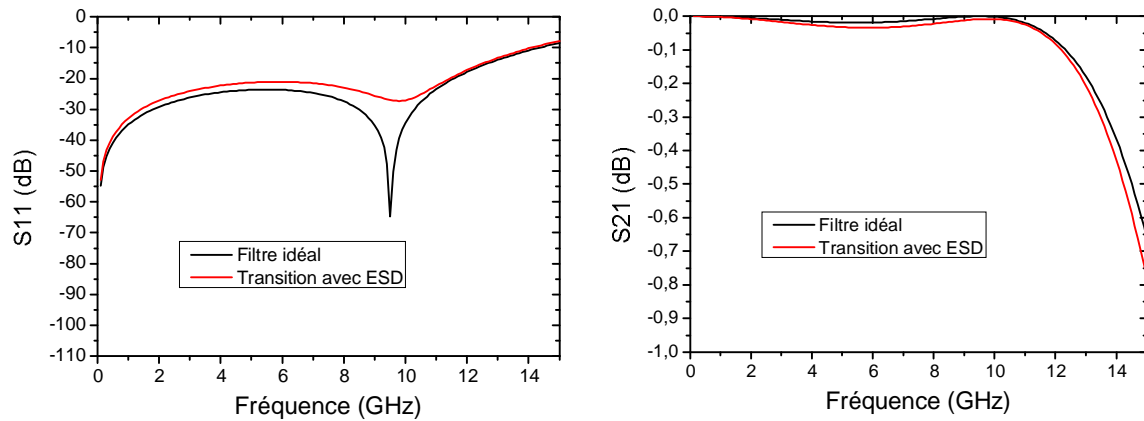


Figure 39 : Comparaison des paramètres S de la transition optimisée et de la transition avec protection ESD

La Figure 39 montre que la capacité provenant de la protection ESD ne dégrade pas notablement la transition électrique si cette capacité est intégrée dans un filtre passe bas. Nous obtenons une transition circuit imprimé - puce protégée des décharges électrostatiques ayant une fréquence de coupure (définie pour $S_{11} = -15$ dB) valant 12.5 GHz. Concernant les pertes d'insertion, les pertes dans le substrat de silicium n'étant pas prises en compte dans la simulation électromagnétique, la valeur réelle sera plus importante que celle indiquée sur la Figure 39.

IV.2. Réalisation de la transition puce - circuit imprimé pour un générateur d'impulsions FCC

IV.2.a. Introduction

Dans ce paragraphe, nous utilisons une des transitions définies dans les paragraphes précédents pour connecter avec des fils d'interconnexion un générateur d'impulsions sur silicium disponible au laboratoire à un circuit imprimé de type Rogers 4003. Ce générateur est destiné aux applications FCC.

Le principe du générateur est décrit sommairement sur la Figure 40 et en détail dans [20] [21] [22]. Celui-ci est basé sur l'excitation d'un filtre par une impulsion triangulaire. Le générateur a été réalisé entièrement sur silicium et la capacité du plot de sortie a pu être intégrée dans l'architecture du générateur.

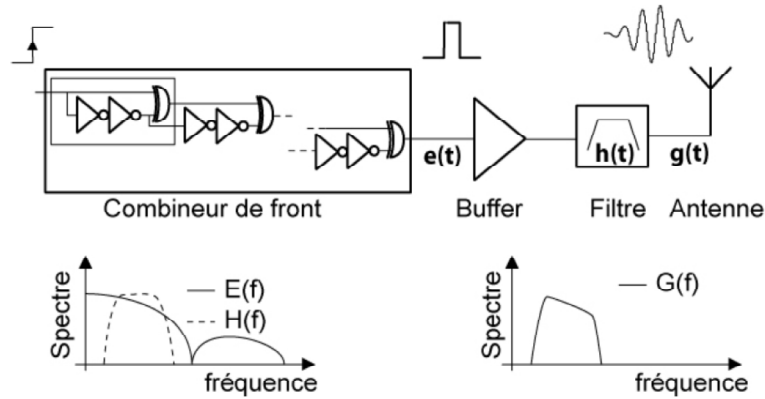


Figure 40 : Principe de la génération d'une impulsion ULB par l'excitation d'un filtre avec un signal triangulaire

Les mesures sur la puce de l'impulsion générée sont présentées dans le domaine temporel et fréquentiel sur la Figure 41.

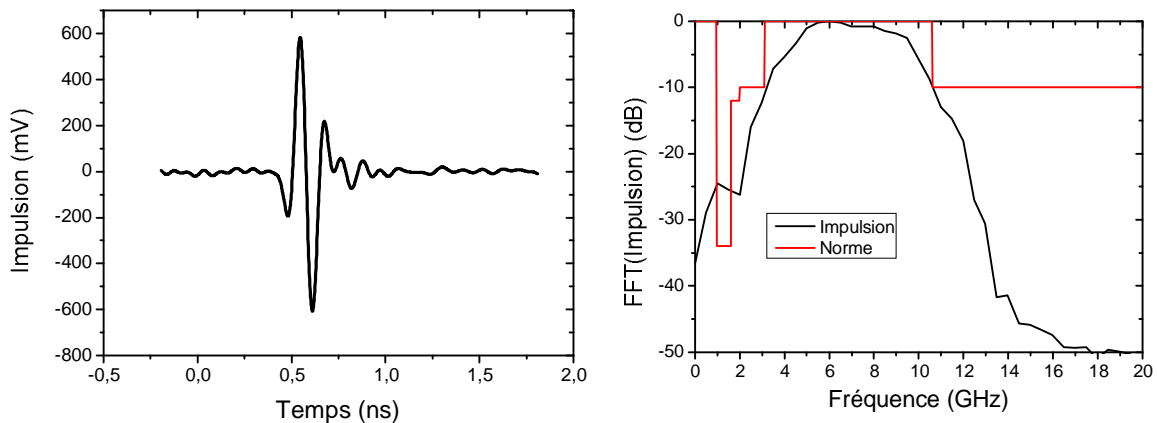


Figure 41 : Mesure sur la puce d'une impulsion dans le domaine temporel et fréquentiel

Ce générateur émet des impulsions de 1.2 V crête à crête ayant une bande passante à -10 dB comprise entre 3.1 et 10.6 GHz.

IV.2.b. Intégration de la transition puce - circuit imprimé en sortie du générateur d'impulsions

Pour connecter ce générateur au circuit imprimé, un codesign entre la puce et le circuit imprimé n'est pas possible puisque la capacité du plot (C_{OnDie}) en sortie du générateur a été intégrée dans l'architecture de celui-ci et que la puce est déjà réalisée (et est donc figée). Le générateur a été connecté au circuit imprimé avec la transition présentée au paragraphe III.4.d où les éléments parasites des fils d'interconnexion sont intégrés dans un filtre d'ordre 2 de Butterworth ayant une ondulation de 1.1 dB

Une vue du prototype qui a été réalisé montrant la transition entre le générateur d'impulsions et le circuit imprimé est présentée sur la Figure 42. Les mesures de l'impulsion sur le circuit imprimé sont présentées dans le domaine temporel et fréquentiel sur la Figure 43.

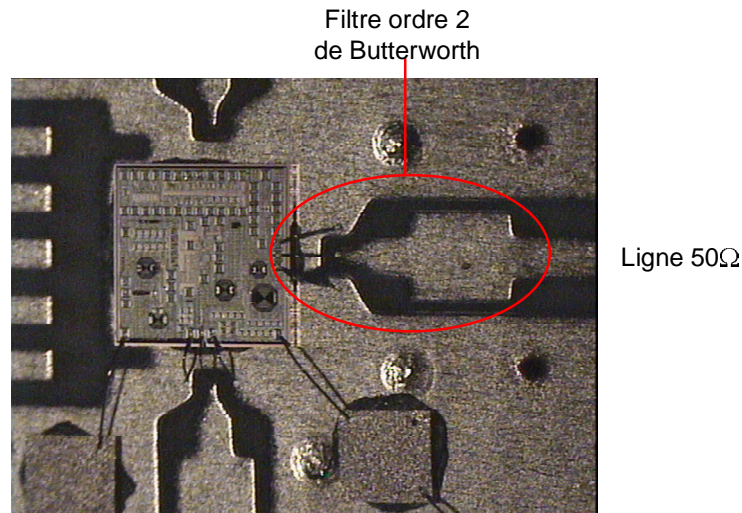


Figure 42 : Réalisation de la transition générateur d'impulsions - circuit imprimé

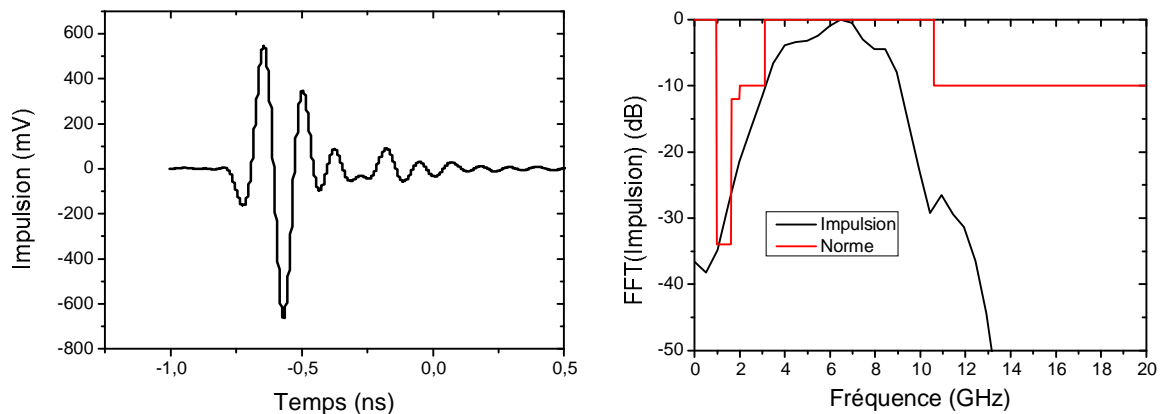


Figure 43 : Mesure sur le circuit imprimé d'une impulsion dans le domaine temporel et fréquentiel

Des impulsions de 1.2 Vpp provenant du générateur décrit en IV.2.a ont été mesurées sur le circuit imprimé. Ces impulsions ont une bande passante à -10 dB comprise entre 3.1 et 9.3 GHz. Le spectre d'émission est légèrement dégradé en haute fréquence mais l'amplitude de l'impulsion est quasi inchangée.

La mesure du générateur valide la possibilité d'utiliser des connexions faible coût ("wirebonding") pour connecter des circuits intégrés ULB à un circuit imprimé.

IV.3. Intégration des éléments parasites d'une transition puce - circuit imprimé par "wirebonding" dans l'architecture d'un générateur d'impulsions

IV.3.a. Introduction

Dans le paragraphe précédent, nous avons connecté un générateur d'impulsions à un circuit imprimé avec des fils d'interconnexion. Comme la puce était figée, les éléments parasites de la transition ont été intégrés dans un filtre d'ordre 2. Nous avons vu que la transition ne dégrade que peu le signal généré sur la puce.

Dans ce paragraphe, nous proposons une autre méthodologie d'interconnexion pour connecter un générateur à un circuit imprimé. Plutôt que d'ajouter une transition à la puce, nous intégrons les éléments parasites de la transition dans l'architecture même du générateur. Nous nous sommes

basés sur un autre design de générateur d'impulsions disponible au laboratoire. L'architecture de ce générateur est présentée sur la Figure 44.

Comme dans le paragraphe précédent, nous nous intéressons uniquement à la transition générateur d'impulsions - circuit imprimé. Nous ne présenterons donc pas la conception de ce générateur, néanmoins celle-ci est décrite en détails en [23].

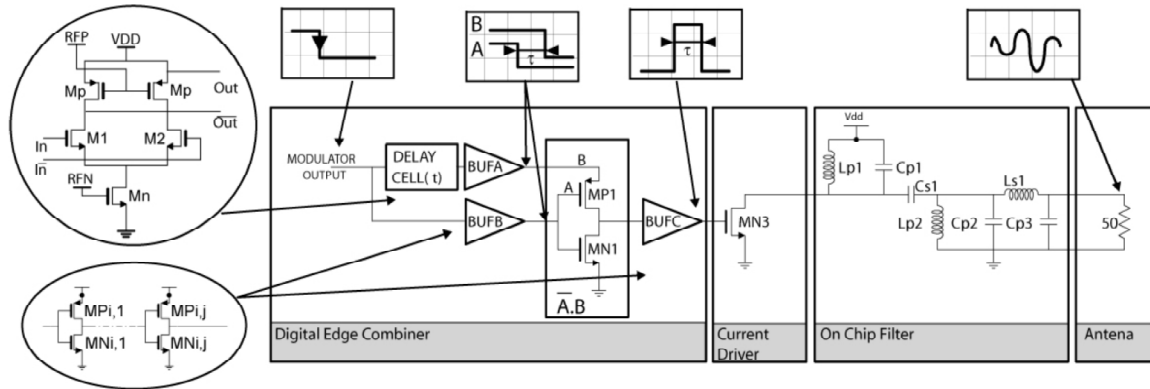


Figure 44 : Architecture du générateur présenté en [23]

La Figure 45 compare les résultats que nous avons obtenus en simulation et en mesure dans le domaine temporel et fréquentiel lorsque ce générateur avait été réalisé entièrement sur silicium.

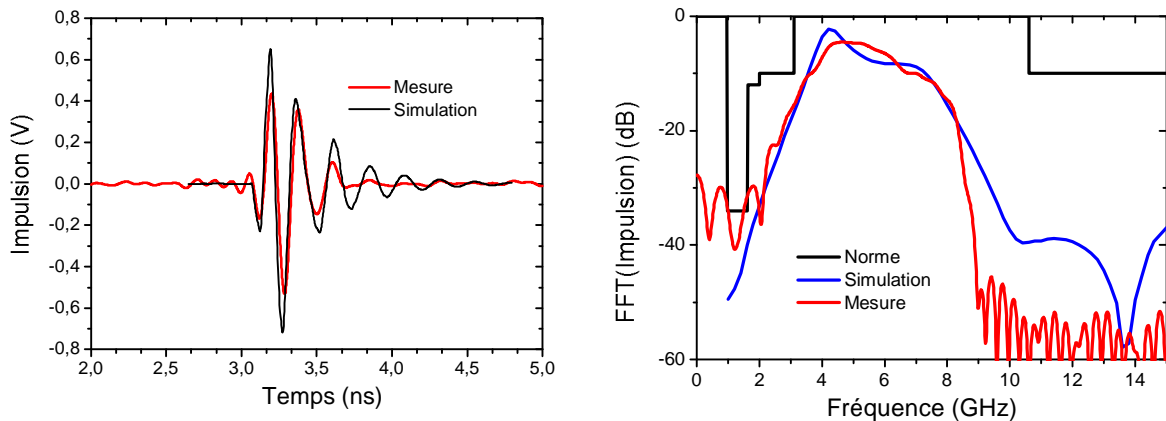


Figure 45 : Mesure sur la puce du générateur présenté en [23]

Sur silicium, nous avons mesuré des impulsions de 0.9 Vpp ayant une bande passante à -10 dB comprise entre 3.2et 7.9 GHz.

IV.3.b. Intégration des éléments parasites de la transition puce - circuit imprimé par "wirebonding" dans l'architecture du générateur d'impulsions

Dans ce paragraphe, nous optimisons les performances de ce générateur en intégrant les éléments parasites de la transition puce - circuit imprimé dans l'architecture du générateur.

Au paragraphe II, nous avons montré qu'une transition électrique avec des fils d'interconnexion entre un circuit intégré et un circuit imprimé pouvait être modélisée par une structure électrique en π comprenant une inductance série et deux capacités parallèles. L'architecture du générateur d'impulsions que nous souhaitons optimiser (Figure 44) comprend également cette même structure en π en sortie de son filtre.

Si les valeurs de l'inductance L_{s1} et des capacités C_{p2} et C_{p3} du filtre de sortie du générateur sont supérieures aux valeurs minimales de la transition puce - circuit imprimé obtenues au paragraphe II.4.c alors les éléments parasites de cette transition peuvent être utilisées pour remplacer une partie du filtre de sortie du générateur comme le montre la Figure 46.

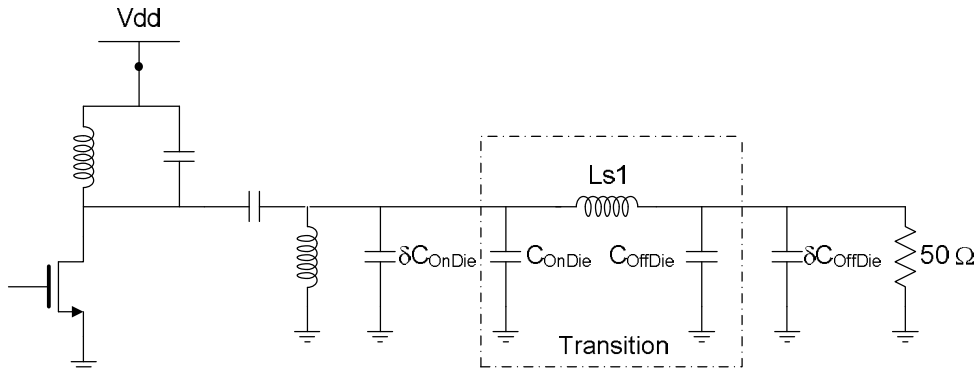


Figure 46 : Architecture du générateur d'impulsions "co-conçu"

Dans le Tableau 10, les valeurs des éléments permettant de réaliser le filtre de sortie du générateur sont comparées aux valeurs minimales des éléments parasites modélisant la transition (paragraphe II.4.c).

Transition puce - circuit imprimé		Filtre de sortie du générateur [23]	
L_{bond}	0.75 nH	L_{s1}	1.15 nH
C_{OnDie}	133 fF	C_{p2}	420 fF
C_{OffDie}	80 fF	C_{p3}	260 fF

Tableau 10 : Valeurs des éléments du filtre

Les valeurs minimales des éléments parasites de la transition puce - circuit imprimé sont inférieures aux valeurs de l'inductance et des capacités à obtenir pour réaliser le filtre de sortie du générateur. Il est donc possible d'intégrer les éléments parasites de la transition puce - circuit imprimé dans le filtre de sortie du générateur.

La première étape pour intégrer ces éléments dans le filtre de sortie est d'égaliser la valeur de L_{bond} à celle de L_{s1} en jouant sur les longueurs des fils d'interconnexion. Une inductance L_{bond} valant 1.15 nH peut être obtenue en faisant varier les longueurs des fils d'interconnexions. A partir de simulations électromagnétiques sous HFSS, nous avons déterminé que trois fils d'interconnexion de 1.2 mm permettent d'obtenir cette valeur d'inductance. Le premier fil connecte la ligne GCPW sur le circuit imprimé et la ligne MSL sur la puce. Les deux autres sont espacés de 100 μm sur la puce de ce premier fil et font un angle de 36 degré par rapport à celui-ci. (cf. Figure 47).

Pour synthétiser les capacités C_{p2} et C_{p3} du filtre, il est nécessaire d'ajouter des capacités δC_{OnDie} et δC_{OffDie} respectivement sur la puce et le circuit imprimé. Pour obtenir la valeur de C_{p2} , une capacité MIM δC_{OnDie} de 287 fF est ajoutée sur la puce. La capacité C_{p3} est obtenue en ajoutant une capacité distribuée de 180 fF sur le circuit imprimé. Celle-ci a été synthétisée à partir d'une ligne de 33 Ω de longueur 0.8 mm.

IV.3.c. Réalisation et mesure du générateur d'impulsions codesigné avec la transition puce - circuit imprimé

Le modèle de simulation sous HFSS de la transition et la réalisation de ce générateur sont présentés sur la Figure 47. Ce générateur a été réalisé dans la même technologie que [23] (CMOS 0.13 μm). Les fils d'interconnexions ont été réalisés en aluminium.

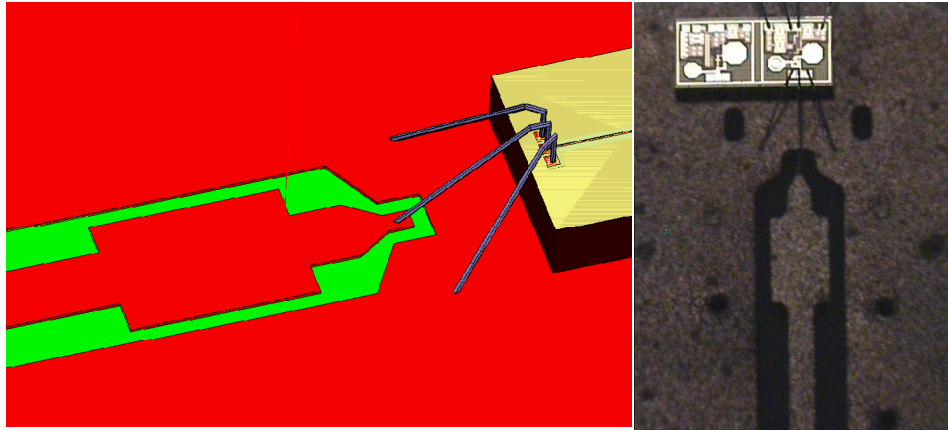


Figure 47 : Conception et réalisation du générateur d'impulsions utilisant les éléments parasites de la transition puce - circuit imprimé dans son architecture

Les résultats de mesure d'une impulsion sur le circuit imprimé dans le domaine temporel et fréquentiel sont présentés sur la Figure 48. Une impulsion ayant une amplitude de 1.18 Vpp a été mesurée sur le circuit imprimé. L'amplitude de l'impulsion générée est 20% plus importante que celle réalisée par le générateur entièrement réalisé sur silicium. Cet écart d'amplitude provient de la diminution des pertes au niveau de l'inductance L_{p2} lorsque celle-ci est réalisée en utilisant les fils d'interconnexion. En effet, le facteur de qualité des inductances provenant des fils d'interconnexions est nettement supérieur à celui des inductances réalisées sur silicium (de l'ordre de 5 fois supérieur).

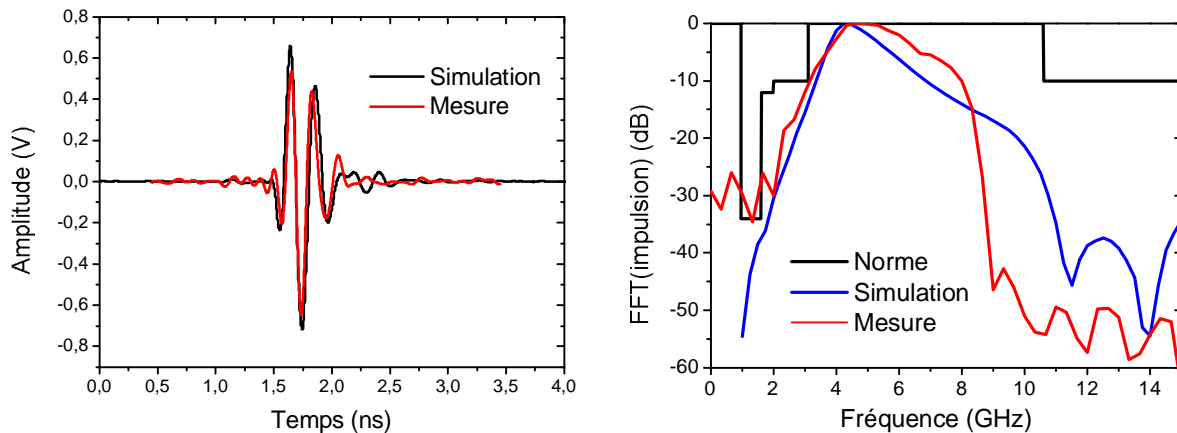


Figure 48 : Comparaison mesure et simulation de l'impulsion émise par le générateur codesigné

L'intégration des éléments parasites de la transition dans le filtre de sortie du filtre présente de nombreux avantages : (i) la transition puce - circuit imprimé est réalisée lors de la conception du générateur, (ii) la surface occupée par le générateur est réduite de la valeur occupée par l'inductance remplacée (ici $250 \times 250 \mu\text{m}^2$), (iii) l'amplitude de l'impulsion de sortie est supérieure à celle provenant d'un générateur entièrement réalisé sur silicium.

Ce générateur valide la possibilité d'utiliser des fils d'interconnexions en ULB pour connecter une puce à un circuit imprimé malgré les fréquences élevées de ces applications. Ce générateur montre

également qu'en réalisant un co-design entre le circuit imprimé et la puce, ce type d'interconnexion peut même améliorer les performances de certaines fonctions électriques.

V. Conclusion

Dans le cadre du projet MIMOC ayant pour objectif de réaliser un SiP miniature pour les applications ULB, ce premier chapitre a été consacré à l'étude d'une transition entre une puce en silicium et une antenne 50Ω réalisée sur circuit imprimé.

Dans la première partie de ce chapitre, nous avons défini la technologie de notre SiP et avons réalisé une ligne 50Ω permettant d'alimenter les antennes ULB. Nous avons ensuite conçu une transition entre cette ligne et une puce. Pour des raisons de coût, cette transition a été réalisée à partir de trois fils d'interconnexions. Nous avons proposé divers modèles électriques localisés de ce type d'interconnexions qui permettent notamment la prise en compte de l'effet d'une masse locale sur le circuit intégré.

Dans la seconde partie de ce chapitre, nous avons étudié et proposé diverses méthodes permettant d'augmenter la bande passante des interconnexions par "wirebonding". Ces méthodes font appel à une conception conjointe de l'interconnexion et du circuit imprimé support et éventuellement du circuit intégré. Nous avons montré, par simulation électromagnétique, que ces méthodes permettaient d'obtenir une transition optimisée ayant la bande passante désirée. Nous avons pu valider sur un prototype la bonne concordance entre les modèles développés et les résultats expérimentaux lorsque les pertes dans le substrat étaient correctement prises en compte.

Dans la dernière partie de ce chapitre, nous avons présenté plusieurs applications de ces transitions par "wirebonding". Nous avons notamment étudié la possibilité d'absorber les effets parasites capacitifs liés à une protection contre les décharges électrostatiques qui est souvent associée aux plots de soudure du circuit intégré. L'utilisation de la méthode d'optimisation développée permet de limiter la réduction de bande passante liée à l'utilisation de circuits de protection contre les décharges électrostatiques. Nous avons ensuite utilisé une transition puce - circuit imprimé optimisée pour connecter un générateur d'impulsions FCC dont nous disposons au laboratoire. Les mesures ont montré que la transition puce - circuit imprimé ne dégradait pas les impulsions émises. Nous avons également montré qu'il était possible d'améliorer les performances d'un générateur d'impulsion en intégrant les éléments parasites d'une transition puce - circuit imprimé dans son architecture. Cette conception a permis d'augmenter l'amplitude de l'impulsion émise tout en réduisant la surface occupée par le générateur.

- [1] A. Chami " Miniaturisation et intégration d'antennes imprimées pour systèmes communicants ULB pulsés ", Thèse devant être soutenue fin 2011 à Université de Nice.
- [2] <http://www.atlantec.fr/vf/flash/capa/popup/tabA.htm>
- [3] <http://www.rogerscorp.com/documents/887/acm/RO4000-High-Frequency-Laminate-with-TICER-Foil.aspx>
- [4] <http://www.atlantec.fr/vf/flash/capa/popup/tabD.htm>
- [5] Alimenti, F.; Mezzanotte, P.; Roselli, L.; Sorrentino, « Modeling and characterization of the bonding-wire interconnection”, *Microwave Theory and Techniques*, Volume 49, Issue 1, Jan 2001 Pages: 142 – 150
- [6] Xiaoning Qi; Yue, P.; Arnborg, T.; Soh, H.T.; Sakai, H.; Zhiping Yu; Dutton, “A fast 3D modeling approach to electrical parameters extraction of bonding wires for RF circuits”, *Advanced Packaging*, Volume 23, Issue 3, Aug 2000 Pages:480 – 488
- [7] J.R. Cubillo, "Optimisation de l'intégrité du signal de transitions circuit intégré/boitier dans le domaine des ondes centimétriques et millimétriques à l'aide d'une méthodologie de codesign puce/boitier", Thèse soutenue à l'université de Provence le 11 juillet 2008
- [8] J.R. Cubillo, J. Gaubert, S.Bourdel, H. Barthélémy “RF Low-Pass Design Guiding Rules to Improve PCB to Die Transition Applied to Different Types of Low-Cost Packages”, *IEEE transaction on Advanced packaging*, Volume 31, Issue 3, Aug 2008 Pages 527 - 535
- [9] P. Apte, W. R. Bottoms, W. Chen, G. Scalise, "Good things in small packages", *IEEE Spectrum* Volume 3 number 3, March 2011
- [10] HFSS User's Guide, page 20. Disponible à <http://www.scribd.com/doc/17748492/Hfss-Full-Book>
- [11] Fourquin, O.; Cubillo, J.R.; Gaubert, J.; Bourdel, S.; Battista, M.; , "Enhanced wire bond transition from die to chip carrier for 3.1-10.6 GHz UWB applications," *Advanced Packaging and Systems Symposium, 2008. EDAPS 2008. Electrical Design of* , vol., no., pp.218-221, 10-12 Dec. 2008
- [12] Chandrasekhar, A.; Stoukatch, S.; Brebels, S.; Balachandran, J.; Beyne, E.; De Raedt, W.; Nauwelaers," Characterisation, modelling and design of bond-wire interconnects for chip-package codesign", *Microwave Conference, 2003. 33rd European*
- [13] Fikar, S. Bogenberger, R. Scholtz, A.L. “A 100GHz Bandwidth Matched Chip to PCB Transition Using Bond Wires for Broadband Matching” *Signal Propagation on Interconnects, 2008. SPI 2008. 12th IEEE Workshop on* Publication Date: 12-15 May 2008 On page(s): 1-4
- [14] Chyan, J.-Y.; Yeh, J.A," Return loss reduction of molded bonding wires by comb capacitors", *Advanced Packaging*, Volume 29, Issue 1, Feb. 2006 Pages: 98 – 101
- [15] Budka, T.P., “Wide-bandwidth millimeter-wave bond-wire interconnects”, *Microwave Theory and Techniques*, Volume 49, Issue 4, Apr 2001 Pages 715 - 718
- [16] Battista, M.; Gaubert, J.; Egels, M.; Bourdel, S.; Barthelemy, H.; , "6-10 GHz ultra-wideband CMOS LNA," *Electronics Letters* , vol.44, no.5, pp.343-344, Feb. 28 2008

- [17] http://en.wikipedia.org/wiki/Telegrapher%27s_equations
- [18] G.L Matthaei, L. Young, E.M.T Jones " Microwave filters, impedance matching networks and coupling structures", Artech House Inc, 1964
- [19] <http://www.esda.org/fundamentalsP5.html>
- [20] Bachelet, Y. " Conception en technologie CMOS de générateurs de pulses Ultra Large Bande pour les normes américaine (FCC) et européenne (ECC)", Soutenance de thèse de Docteur de l'Université de Provence, octobre 2008.
- [21] Bourdel, S.; Bachelet, Y.; Gaubert, J.; Vauche, R.; Fourquin, O.; Dehaese, N.; Barthelemy, H.; , "A 9-pJ/Pulse 1.42-Vpp OOK CMOS UWB Pulse Generator for the 3.1–10.6-GHz FCC Band," *Microwave Theory and Techniques, IEEE Transactions on* , vol.58, no.1, pp.65-73, Jan. 2010
- [22] Bourdel, S.; "Conception de Circuits Intégrés à Faible Coût et à Faible Consommation pour la Radio Impulsionnelle Ultra Large Bande"; Habilitation à diriger des recherches, Université de Provence, décembre 2009
- [23] Bourdel, S.; Gaubert, J.; Fourquin, O.; Vauche, R.; Dehaese, N.; , "CMOS UWB pulse generator codesigned with package transition," *Radio Frequency Integrated Circuits Symposium, 2009. RFIC 2009. IEEE* , vol., no., pp.539-542, 7-9 June 2009

CHAPITRE II

ETUDE ET MODELISATION DE LA DETECTION DES SIGNAUX ULB POUR LA RADIO IMPULSIONNELLE. CONCEPTION D'UN DETECTEUR D'IMPULSION

Sommaire

I.	Introduction	57
II.	Récepteurs non cohérents ULB pour radio impulsionnelle	59
II.1.	Super régénérateurs	59
II.1.a.	Principe de fonctionnement.....	59
II.1.b.	Architectures et performances des super régénérateurs	60
II.1.c.	Conclusion	62
II.2.	Récepteurs à détection d'énergie et variantes.....	63
a.	Principe de fonctionnement.....	63
II.2.a.	Architecture et performances des récepteurs non cohérents à détection d'énergie ou à détection de crête.....	65
II.3.	Conclusion	70
III.	Modélisation de la détection non cohérente à détection d'énergie et à détection de crête	71
III.1.	Etude et modélisation de la détection non cohérente de signaux ULB.....	71
a.	Introduction.....	71
III.1.a.	Cadre d'hypothèses	71
III.2.	Calcul de la probabilité d'erreur de détection d'un système à détection d'énergie	72
a.	Calcul de la probabilité de détection d'une impulsion	72
III.2.a.	Calcul de la probabilité d'une fausse alarme.....	75
III.2.b.	Application à une modulation de type OOK.....	76
III.2.c.	Conclusion	81
III.3.	Probabilité d'erreur avec un détecteur de crête	81
a.	Introduction.....	81
III.3.a.	Calcul de la probabilité d'une fausse alarme.....	83
III.3.b.	Calcul de la probabilité de non détection d'un signal.....	83
III.3.c.	Application à une modulation de type OOK.....	84
III.3.d.	Conclusion	89
III.4.	Conclusion	89
IV.	Conception d'un détecteur d'impulsions ULB	90
IV.1.	Introduction.....	90
IV.2.	Résultats.....	90
V.	Conclusion	93

I. Introduction

La détection des impulsions reçues est l'un des points les plus critiques d'un émetteur-récepteur ULB pour radio impulsionnelle. Du type de détection et des performances du détecteur vont en effet dépendre les performances du récepteur concernant sa sensibilité, sa portée et son taux d'erreur binaire. Compte tenu des principales applications visées dans le cadre de cette thèse (RFID, WBAN, WSN) les principaux critères de performances recherchés pour le récepteur sont, outre la sensibilité, la consommation de puissance et la simplicité de l'architecture (possibilité de fonctionnement avec peu de signaux et composants externes).

Les récepteurs ULB pour radio impulsionnelle peuvent être classés en deux familles : (i) les récepteurs cohérents qui sont sensibles à la phase du signal reçu et (ii) les détecteurs non cohérents qui y sont insensibles et qui par conséquent ne sont pas capables de traiter les formats de modulation utilisant cette caractéristique du signal comme par exemple les formats de type BPSK.

En radio impulsionnelle la détection cohérente peut être réalisée en faisant une corrélation entre l'impulsion reçue et une impulsion supposée identique générée localement. Le signal de corrélation est obtenu par multiplication des deux impulsions comme représenté sur le schéma de principe de la Figure 1 [1]. La corrélation peut aussi s'effectuer après un changement de fréquence [2] [3].

Les performances de ces récepteurs dépendent directement de la forme de l'impulsion générée localement et du synchronisme entre celle-ci et les impulsions entrantes. Les contraintes concernant la synchronisation peuvent être relâchées en utilisant deux multiplieurs attaqués par des impulsions locales en quadrature [3] [4] comme représenté sur le schéma de principe de la Figure 2.

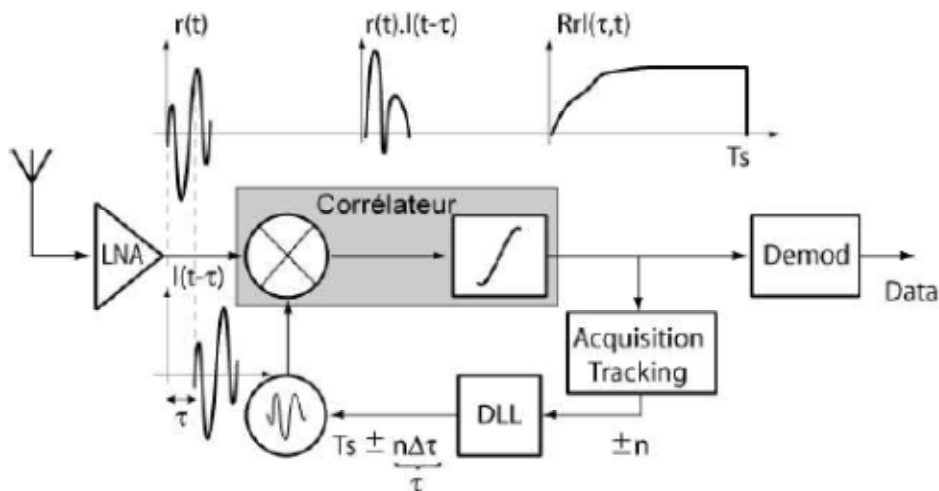


Figure 1 : Principe d'un récepteur cohérent à corrélation [1]

Dans tous les cas l'architecture de ces détecteurs est complexe et, comme le montre l'exemple de la Figure 2, plusieurs sous circuits sont nécessaires au fonctionnement d'un tel type de récepteur : (i) un générateur d'impulsion locale, (ii) un circuit permettant de s'aligner sur les impulsions reçues et commandant une "DLL" (Delay Locked Loop) qui détermine le moment de génération de l'impulsion locale, (iii) un circuit qui recherche la phase d'origine du signal (grâce à un préambule) pour verrouiller la contre réaction. Dans certains cas, un estimateur de canal est également nécessaire pour obtenir une impulsion locale de forme satisfaisante. De par leur principe les récepteurs cohérents privilégient les performances électriques (sensibilité, débit) au détriment de la simplicité

et de la consommation d'énergie. La complexité de ces architectures engendre des circuits de taille importante et entraîne une forte consommation de puissance (cf. Tableau 1)

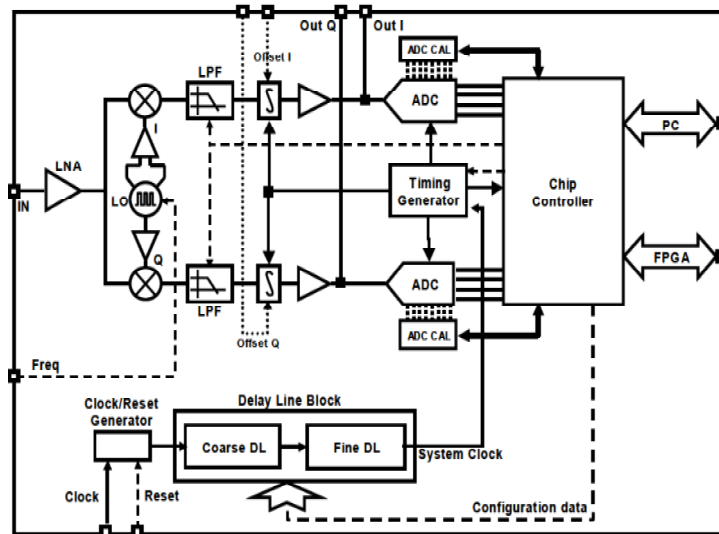


Figure 2: Architecture d'un récepteur cohérent à corrélation en quadrature [4]

Ref.	Fréquence Bande passante	Techno. (μm)	Alim. (V)	Conso. (mW)	Taille Puce mm^2	Gain LNA (dB)	Nf LNA (dB)	Sensibilité Récepteur (dBm) @1Mbps ¹	Sensibilité Détecteur (dBm) @1Mbps ¹	Débit Max. (Mbps)	Energie conso. par bit (nJ/bit)
[1]	[3.1 - 5] GHz	0.18 CMOS	1.8	81	4.42	20.2	4.6	-95	-72.8	200	0.405
[2]	[3.1 ; 9.5] GHz bandes de 500 MHz	0.09 CMOS	1.2	156	1	12	NC	-70	-58	50	3.12
[3]	[3.2 - 4.7] GHz	0.13 CMOS	1.2	50	5.8	36	2.44	-91	-55	50	1
[4]	[3 - 5] GHz	0.18 CMOS	1.8	28.8	8	25	8	NC	NC	20	1.4
[5]	[0 - 960] MHz	0.13 CMOS	1.2	4.2	4.52	0	0	-70	-70	39	0.18

Tableau 1 : Caractéristiques de quelques détecteurs cohérents

¹ sensibilité extrapolée des publications et ramenée à un débit de 1 Mbps

L'énergie consommée par bit a été calculée en divisant la consommation par le débit maximal.

Au contraire, les récepteurs non cohérents ont comme principal avantage d'utiliser des architectures très simples comme on peut le voir sur la Figure 3 qui montre l'architecture d'un récepteur non cohérent où le principe de détection est basé sur une pseudo détection d'énergie. Cette architecture ne requiert pas la présence d'un oscillateur local et la prise de décision ainsi que la conversion analogique numérique peuvent s'effectuer très simplement et directement avec de simples inverseurs. La simplicité de ces architectures permet donc une réduction des coûts et une réduction de la consommation de puissance. Cette famille de récepteurs n'est utilisable que pour la détection de signaux utilisant des formats de modulation non cohérents comme l'OOK et le PPM. Les deux

principales familles de récepteurs non cohérents utilisés en radio impulsionnelle ULB sont les super régénérateurs et les récepteurs à détection d'énergie et toutes leurs variantes. Nous limiterons notre étude, dans la suite de ce chapitre, à ce type de récepteurs qui présentent un fort potentiel concernant la puissance consommée pour les débits de communication faibles et moyens.

Dans la première partie de ce chapitre nous dresserons un état de l'art des récepteurs non cohérents pour radio impulsionnelle Ultra Large Bande. La deuxième partie sera consacrée à une modélisation, dans le cas des signaux ULB, de la détection non cohérente basée sur la détection d'énergie et sur la détection de crête. Dans la dernière partie nous décrirons la conception d'un détecteur d'impulsions ULB.

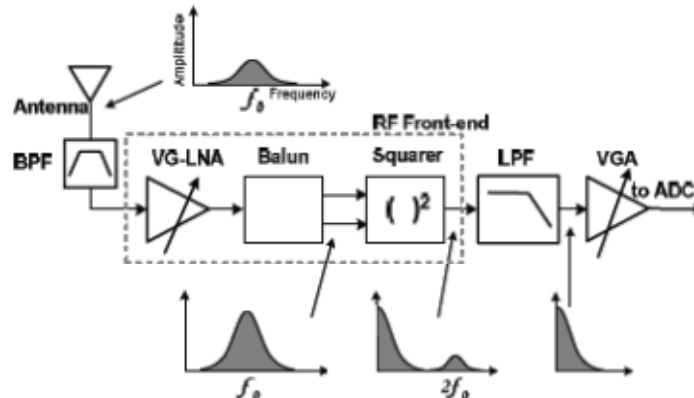


Figure 3 : Schéma de principe d'un récepteur non cohérent [6]

II. Récepteurs non cohérents ULB pour radio impulsionnelle

II.1. Super régénérateurs

Les récepteurs de type super régénérateurs ont été inventés dès 1922 par Armstrong [7]. La détection d'une impulsion est réalisée en accélérant le temps de démarrage d'un oscillateur (OL) lorsque celle-ci est présente. Ces récepteurs sont connus pour avoir un fort gain provenant de leur nature instable, pour consommer peu mais également pour n'être que peu sélectifs. Cet inconvénient devient un avantage pour les détecteurs ULB qui nécessitent une large bande passante pour être efficaces.

II.1.a. Principe de fonctionnement

Le schéma de principe d'un super régénérateur est présenté sur la Figure 4. Celui-ci est constitué d'un LNA, d'un oscillateur (OL) oscillant à la fréquence centrale du signal ULB, d'un détecteur d'enveloppe, d'un amplificateur passe bas et d'un étage de décision. L'oscillateur est activé périodiquement par un signal de commande $I(t)$ appelé quench (Figure 4). Lorsque $I(t)$ est activé, une conductance négative $-G_m(t)$ est synthétisée. Quand le courant $I(t)$ est inférieur à une valeur de courant I_{crit} , la conductance $|G_m(t)|$ est inférieure à la conductance G_0 provenant des pertes du résonateur, le système est stable. Lorsque le courant $I(t)$ dépasse ce seuil, la conductance totale du résonateur ($G(t) = G_0 - G_m(t)$) devient négative rendant le système instable et celui-ci se met à osciller.

Par conséquent, si aucune impulsion n'est présente en entrée du détecteur lorsque le quench est activé, le système se met à osciller à cause du bruit avec un temps de démarrage de l'OL relativement long. Par contre, lors de la présence d'une impulsion en entrée et lorsque la conductance $G(t)$ est égale ou inférieure à 0, l'oscillateur se met à osciller plus rapidement grâce à la présence de l'impulsion. Ainsi, le temps de démarrage de l'OL est diminué.

Pour détecter la présence d'un signal, il est donc possible de détecter soit le temps de démarrage de l'OL soit l'amplitude finale de l'OL qui sera plus importante lors de la présence d'une impulsion.

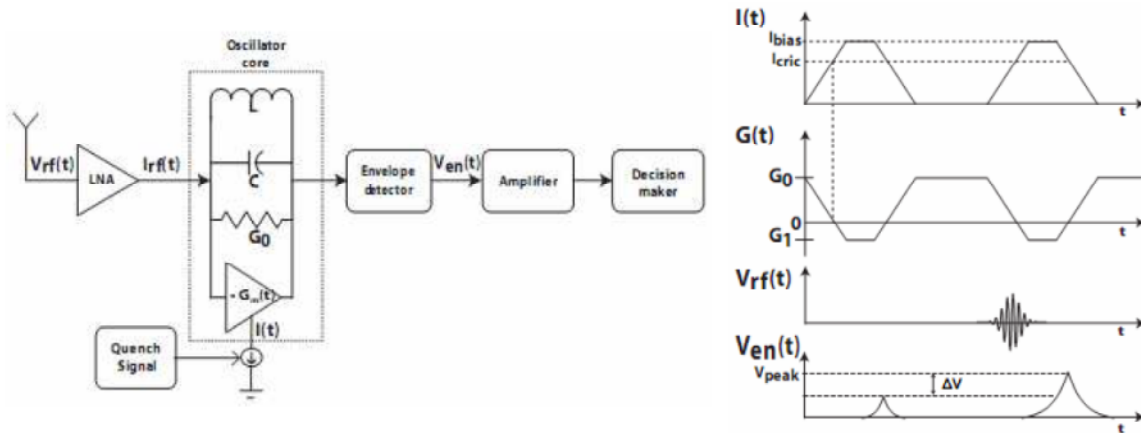


Figure 4 : Principe d'un super régénérateur [8]

II.1.b. Architectures et performances des super régénérateurs

En [8], un récepteur à super régénération a été réalisé en technologie CMOS 0.18 μm . Le signal entrant est centré autour de 3.8 GHz et a une bande passante de 500 MHz. L'architecture du circuit proposée est celle décrite sur la Figure 5.

Lorsque $I(t)=0$, l'amplificateur différentiel constitué des transistors M_{1-4} est chargé par un circuit résonant RLC. Le résonateur LC a été conçu pour résonner à la fréquence centrale du signal ULB (ici 3.8 GHz qui correspond à la bande de fréquence ULB 3-5GHz). La conductance G_0 provient des pertes du résonateur. Celle-ci peut être calculée à partir du facteur de qualité du résonateur et fixe la bande passante de l'amplificateur et du système.

Lorsque $I(t)$ est activé, les transistors M_{5-6} synthétisent une conductance négative permettant de rendre le circuit instable. Les transistors $M_{7,8}$ réalisent la détection de l'enveloppe de l'oscillation générée et amplifient cette enveloppe. Les transistors $M_{7,8}$ génèrent une tension de référence pour le comparateur constitué des transistors M_{11-15} .

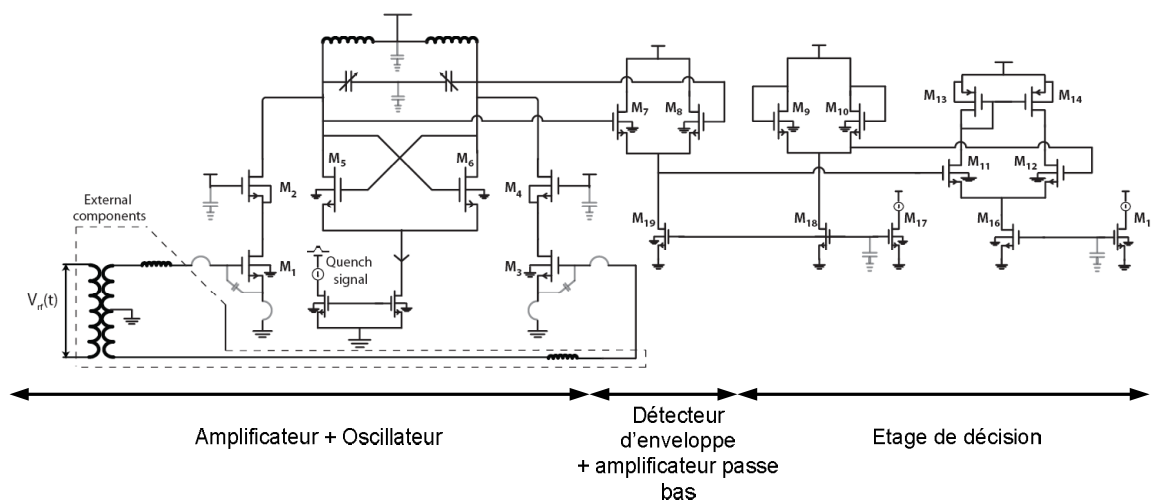


Figure 5 : Architecture du récepteur super régénérateur utilisé dans [8]

Sur la Figure 6.a, la différence d'amplitude en sortie de l'oscillateur (en fonction de l'absence ou de la présence d'un signal en entrée) est représentée en fonction de la puissance du signal ULB. La sensibilité de ce récepteur est de $-91.3\text{dBm}@1\text{Mbps}$ pour un signal de bande passante 500 MHz centré autour de 3.8GHz. La Figure 6.b montre les variations de la sélectivité du récepteur par rapport à la sensibilité maximale obtenue à la fréquence centrale de 3.8 GHz. Le récepteur présente une bande passante à 3 dB de 500 MHz et une rejection d'au moins 8 dB pour une fréquence décalée de 400 MHz par rapport à la fréquence centrale.

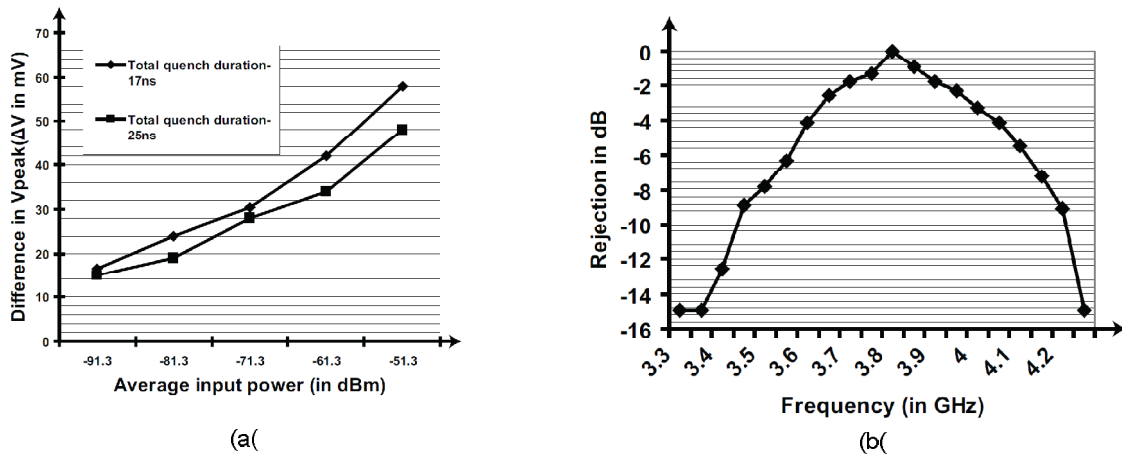


Figure 6 : Résultats du récepteur présenté en [8]. (a) Différence de l'amplitude de l'OL en sortie en fonction de son démarrage, (b) Sélectivité du récepteur en fonction de la fréquence

Afin que ces systèmes fonctionnent correctement, le quench doit être synchronisé sur les impulsions ULB entrantes. Dans [8], l'effet d'une mauvaise synchronisation entre le quench et une impulsion a été étudié. Lorsqu'une impulsion ULB arrive avant ou après le quench, celle-ci est amplifiée par le résonateur LC mais le système reste stable. Si le quench est en avance sur l'impulsion alors les oscillations démarrent sur le bruit. Si le quench est en retard, les oscillations démarrent sur la fin de l'impulsion. Plus la désynchronisation entre le quench et l'impulsion ULB entrante est importante plus l'amplitude de l'oscillation en sortie sera proche de l'amplitude d'oscillation lorsqu'il n'y a pas de signal en entrée (Figure 7). Cependant, pour l'application visée (bande passante de 500MHz et un quench d'une durée d'environ 20ns), une désynchronisation inférieure à 2 ns affecte peu les performances.

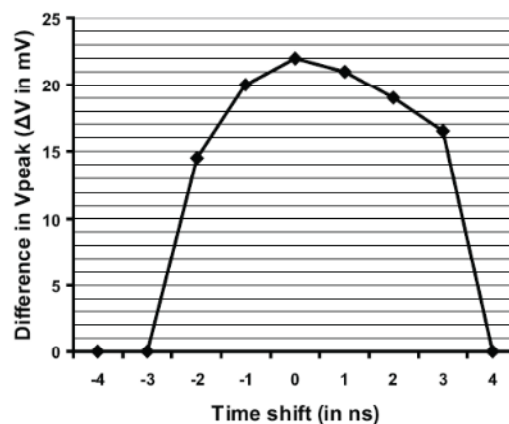


Figure 7 : Effet d'une mauvaise synchronisation entre l'impulsion et le quench sur le signal de sortie [8]

Pour éviter cette désynchronisation, dans [10] les auteurs introduisent une PLL dans l'architecture du récepteur comme indiqué sur la Figure 8. Le système nécessite une phase de synchronisation et

fonctionne uniquement si le message a une valeur moyenne de $V_{DD}/2$. Ce système fonctionne uniquement pour un signal aléatoire modulé en OOK. Au démarrage I_{bias} est toujours supérieur à I_{critic} , le système est donc toujours oscillant, ainsi la sortie du comparateur est toujours à l'état haut. L'OTA sert à modifier I_{bias} jusqu'à obtenir une valeur de courant critique permettant de ne plus détecter le bruit. Le VCO optimise le quench pour que la conductance totale de l'oscillateur soit nulle quand les impulsions arrivent.

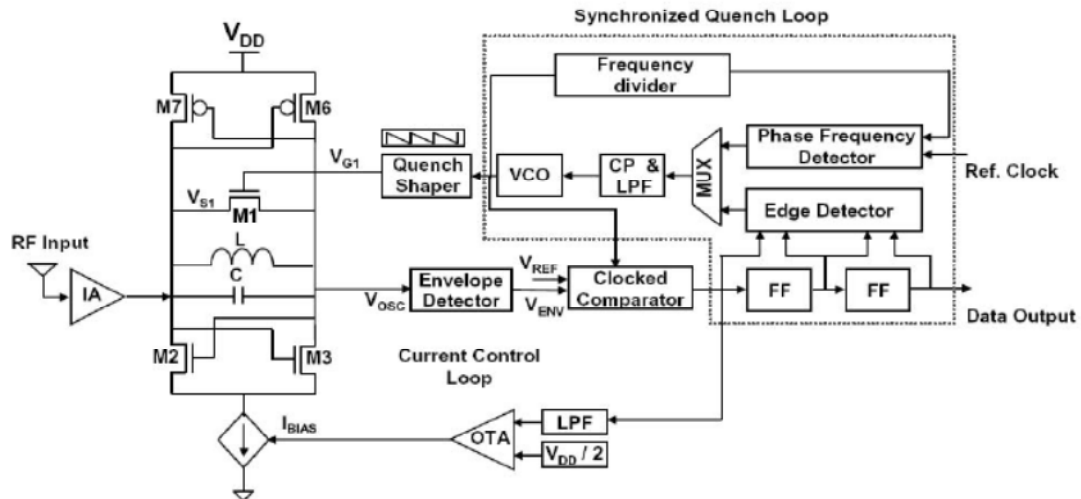


Figure 8 : Insertion d'une PLL pour éviter une désynchronisation entre l'impulsion et le quench [10]

Les performances publiées obtenues avec des récepteurs super régénératifs pour des signaux ULB dans la bande de fréquence 3 - 10 GHz sont résumées dans le Tableau 2.

Ref.	Fréquence Bande passante	Techno. (μm)	Alim. (V)	Conso. (mW)	Taille Puce (mm^2)	Gain LNA (dB)	Nf LNA (dB)	Sensibilité Récepteur (dBm) @1Mbps ¹	Sensibilité Détecteur (dBm) @1Mbps ¹	Débit Max. (Mb/s)	Energie conso. par bit (nJ/bit)
[8]	3.8 GHz 500 MHz	CMOS 0.18	1.5	11.25 (7.8 LNA) (3.15 Osc.)	2.25	NC	NC	-91.3	NC	NC	NC
[9]	3.5 GHz 1G	CMOS 0.13	1.2	11.16 (6 LNA) (5.16 Osc.)	3.4	15	5	-99 @100 Ω	-84	10	1.12 nJ
[10]	[6 ; 10] GHz 5 bandes de 500 à 800 MHz	CMOS 0.18	1.5	5	1.4	NC	NC	-108	NC	NC	0.25

Tableau 2 : Performances publiées de super régénératifs

¹ sensibilité extrapolée des publications et ramenée à un débit de 1 Mbps.

II.1.c. Conclusion

Bien que non cohérents les récepteurs à super régénération montrent un très bon potentiel concernant la sensibilité. L'énergie consommée par bit décodé est faible, mais ces résultats sont obtenus à des débits moyens et ne sont pas directement extrapolables vers les bas débits qui

intéressent les applications principalement visées dans cette thèse. En outre leur architecture nécessite un organe de synchronisation qui complexifie l'architecture et sa mise en œuvre. Cette synchronisation pourrait être utilisée pour "éteindre" la partie RF du récepteur (LNA et VCO) entre les impulsions et améliorer ainsi les performances en terme de consommation pour les applications à bas débit.

II.2. Récepteurs à détection d'énergie et variantes

a. Principe de fonctionnement

La réception basée sur la détection d'énergie consiste à estimer l'énergie reçue pendant un intervalle de temps et à la comparer à un seuil de décision. La présence d'une impulsion pendant l'intervalle de mesure permet de franchir le seuil de décision et l'impulsion est détectée. Le seuil de décision doit être réglé pour que l'énergie seule du bruit ne conduise pas à une fausse alarme. Ce seuil intervient donc sur la sensibilité et sur le taux d'erreur binaire. La Figure 9 montre une implémentation possible de cette technique de détection où l'énergie du signal est obtenue par une mise au carré du signal suivie d'une intégration pendant l'intervalle de temps de mesure. On peut remarquer que ce type de récepteurs, comme les super régénérateurs, nécessite un organe de synchronisation qui complexifie l'architecture.

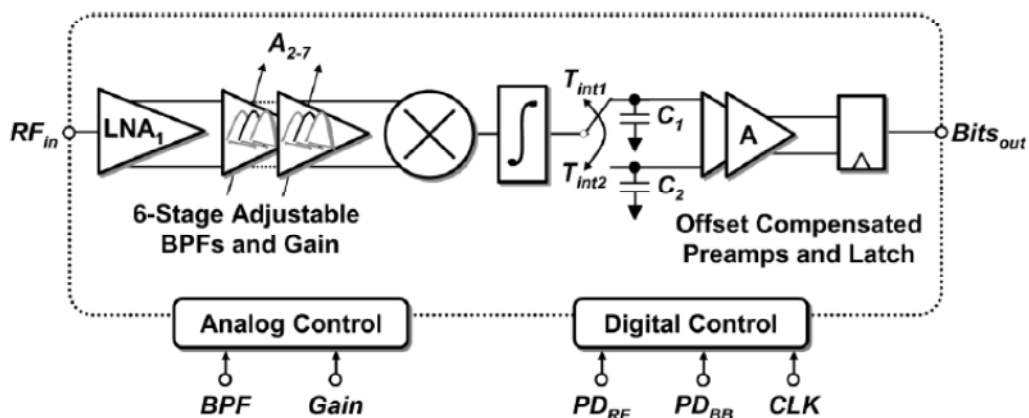


Figure 9 : Architecture d'un récepteur à détection d'énergie [11]

Une variante à la détection d'énergie consiste à remplacer l'intégrateur par un filtre passe bas comme le montre la Figure 3. Dans cette architecture on obtient en sortie du multiplieur un signal proportionnel au carré de l'amplitude de l'impulsion qui permet de détecter sa présence. Un des intérêts est la grande simplicité de cette architecture qui ne nécessite pas d'organe de synchronisation.

On peut remarquer qu'après la mise au carré par le multiplieur, le traitement des signaux s'effectue en bande de base. Un des points clé dans ces techniques de détection est le multiplieur car cet organe travaille, comme le LNA, en haute fréquence et avec une très grande bande passante.

Deux types de multiplieurs sont généralement utilisés: les multiplieurs passifs et les multiplieurs actifs qui peuvent amplifier le signal. En [12], il est montré que tous les multiplieurs CMOS sont basés sur l'addition de courants provenant de transistors fonctionnant en régime linéaire ou saturé. Le Tableau 3 rappelle les différents régimes de fonctionnement des transistors NMOS et PMOS et l'expression du courant de drain correspondante.

Transistor NMOS	Régime linéaire	$V_{gs} > V_t, V_{ds} < V_{gs} - V_t$ $I_d = K \left[V_{gs} - V_t - \frac{V_{ds}}{2} \right] V_{ds} = K \left[V_{gs} V_{ds} - V_t V_{ds} - \frac{V_{ds}^2}{2} \right]$
	Régime saturé	$V_{gs} > V_t, V_{ds} > V_{gs} - V_t$ $I_d = \frac{K}{2} [V_{gs} - V_t]^2 = \frac{K}{2} [V_{gs}^2 - 2 * V_{gs} * V_t + V_t^2]$
Transistor PMOS	Régime linéaire	$V_{gs} < V_t, V_{ds} > V_{gs} - V_t$ $I_d = K \left[V_{gs} - V_t - \frac{V_{ds}}{2} \right] V_{ds} = K \left[V_{gs} V_{ds} - V_t V_{ds} - \frac{V_{ds}^2}{2} \right]$
	Régime saturé	$V_{gs} < V_t, V_{ds} < V_{gs} - V_t$ $I_d = \frac{K}{2} [V_{gs} - V_t]^2 = \frac{K}{2} [V_{gs}^2 - 2 * V_{gs} * V_t + V_t^2]$

Tableau 3 : Régime de fonctionnement des transistors N et P

A partir des courants issus de ces différents régimes de fonctionnement, le Tableau 4 résume toutes les possibilités permettant de réaliser un multiplieur.

Operating region	Input signal injection method	Active term	Cancellation method	Type	Comment
Linear		$V_{gs} V_{ds}$	single-quadrant	I	
		V_{ds}^2	square device	II	Not practical
		$V_{gs} V_{ds}$	single-quadrant	III	Not practical
Saturation		V_{gs}^2	square device	IV	Not practical
		V_{gs}^2	square device	V	
		V_{gs}^2	square device	VI	Not practical
		V_{gs}^2	square device	VII	
		V_{gs}^2	Gilbert cell (single-quadrant)	VIII	

Tableau 4 : Différentes possibilités de multiplication de deux signaux [12]

II.2.a. Architecture et performances des récepteurs non cohérents à détection d'énergie ou à détection de crête

Dans [11], un récepteur utilisant un multiplieur passif de type I a été proposé. L'architecture du récepteur est représentée sur la Figure 9. Le récepteur est constitué d'un LNA à gain variable pouvant atteindre 40 dB de gain, d'un multiplieur passif, d'un intégrateur et d'amplificateurs passe bas. L'architecture du multiplieur passif est représentée sur la Figure 10.

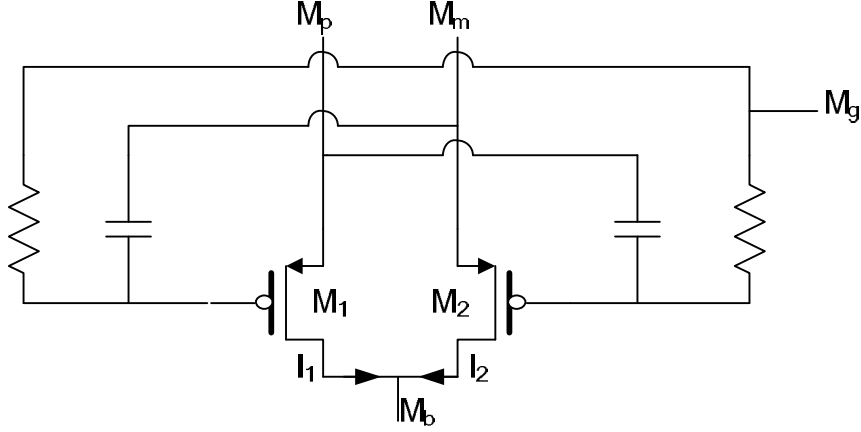


Figure 10 : Architecture du multiplieur présenté en [11]

Les transistors M_1 et M_2 sont polarisés en régime linéaire par l'étage précédent. V_b s'auto-polarise de telle sorte que $V_{ds12}=0$ V. V_g est fixée autour de la tension de seuil V_t . Le courant I_1+I_2 en sortie du multiplieur est calculé de (1) à (9).

$$I_1 \approx K \left[(V_m - V_p + V_g - V_t) \cdot (V_b - V_p) - \frac{(V_b - V_p)^2}{2} \right] \quad (1)$$

$$I_1 \approx K \left[(V_m - V_p) \cdot (V_b - V_p) - \frac{(V_b - V_p)^2}{2} \right] \quad (2)$$

$$I_1 \approx K \left[V_m \cdot V_b + V_p^2 - V_p \cdot (V_m + V_b) - \frac{V_b^2}{2} - \frac{V_p^2}{2} + V_p \cdot V_b \right] \quad (3)$$

$$I_1 \approx K \left[V_m \cdot V_b + \frac{V_p^2}{2} - \frac{V_b^2}{2} - V_p \cdot V_m \right] \quad (4)$$

$$I_2 \approx K \left[V_p \cdot V_b + \frac{V_m^2}{2} - \frac{V_b^2}{2} - V_p \cdot V_m \right] \quad (5)$$

$$I_1 + I_2 \approx K \left[V_b \cdot (V_m + V_p) + \frac{V_p^2}{2} + \frac{V_m^2}{2} - 2V_p V_m \right] \quad (6)$$

$$I_1 + I_2 \approx K \left[V_b \cdot (V_m + V_p) + \frac{(V_p - V_m)^2}{2} - V_p V_m \right] \quad (7)$$

$$\text{Si } V_p = -V_m = \frac{V_{in}}{2} \text{ (signal différentiel)} \quad (8)$$

$$I_1 + I_2 \approx K \cdot \frac{V_{in}^2}{2} \quad (9)$$

Le signal mis au carré est ensuite intégré et amplifié de 83 dBV.

Bien que le multiplieur soit passif, le récepteur consomme 35.8 mW à cause des étages d'amplifications. Pour réduire la consommation, les auteurs ont implémenté une gestion d'alimentation qui permet d'allumer et d'éteindre le récepteur entre deux impulsions. Lorsque le récepteur est éteint celui-ci consomme seulement 3.5 μ W. Le temps de réveil du récepteur étant d'environ 2ns, ce récepteur peut être facilement éteint pour les débits inférieurs à 1 Gb/s. Grâce à cette gestion d'alimentation ce récepteur montre d'excellentes performances concernant l'énergie consommée par bit à bas débit. Les mesures montrent une consommation de 2.5nJ par bit jusqu'à des débits aussi bas que 10kb/s ce qui correspond à une consommation de puissance de 25uW.

En [14] un récepteur non cohérent à détection d'énergie utilisant un multiplieur actif est décrit. La structure de ce multiplieur est présentée sur la Figure 11. La mise au carré du signal d'entrée est effectuée en polarisant les transistors en régime saturé. L'expression du signal de sortie est calculée de (10) à (18) en sommant les valeurs des courants de sortie des transistors M1S et M2S.

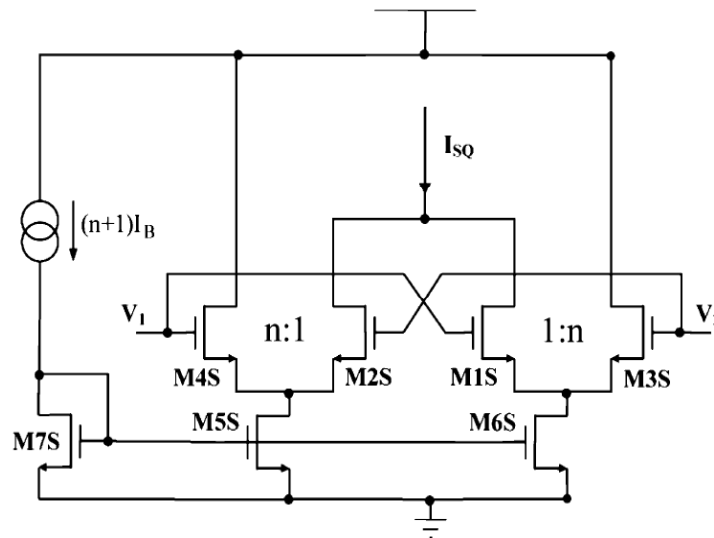


Figure 11 : Structure du multiplieur actif utilisé en [14]

$$I_1 = K(V_{gs1} - V_t)^2 \quad (10)$$

$$V_{in} = V_2 - V_1 = V_{gs3} - V_{gs1} \quad (11)$$

$$V_{in} = \sqrt{\frac{I_3}{nK}} - \sqrt{\frac{I_1}{K}} \quad (12)$$

$$I_3 = (n+1) \cdot I_B - I_1 \quad (13)$$

$$V_{in} = \sqrt{\frac{(n+1)I_B - I_1}{nK}} - \sqrt{\frac{I_1}{K}} \quad (14)$$

$$V_{in} \approx \sqrt{\frac{I_B}{K}} - \sqrt{\frac{I_1}{K}} \quad (15)$$

$$I_1 = K\left(\sqrt{\frac{I_B}{K}} - V_{in}\right)^2 \quad (16)$$

$$I_2 = K\left(\sqrt{\frac{I_B}{K}} + V_{in}\right)^2 \quad (17)$$

$$I_{SQ} = I_1 + I_2 = 2.K.V_{in}^2 + 2.I_B \quad (18)$$

D'après (18) en sortie de ce multiplieur sont présents le signal d'entrée mis au carré mais également un courant continu parasite. Ce dernier doit être ôté avant de détecter la présence ou l'absence d'une impulsion.

En [6] un récepteur non cohérent utilisant une autre architecture de multiplieur actif a été proposée. L'architecture du récepteur, décrite sur la Figure 3, utilise le multiplieur pour transposer le signal en bande de base. Grâce à la structure du multiplieur aucune composante continue parasite n'apparaît en sortie. L'architecture de ce multiplieur est représentée sur la Figure 12. La multiplication est réalisée en polarisant les transistors NM₁₋₄ en régime saturé. Les transistors NM₅₋₆ cascotent la sortie pour augmenter le gain de conversion. Les transistors PM₁₋₂ sont utilisés en charge active pour amplifier la partie basse fréquence du signal mis au carré et réaliser une conversion courant tension. Les transistors NM₃₋₄ permettent d'ôter l'offset DC généré par la multiplication en sortie du multiplieur. Le calcul de la tension de sortie est présenté de (19) à (24).

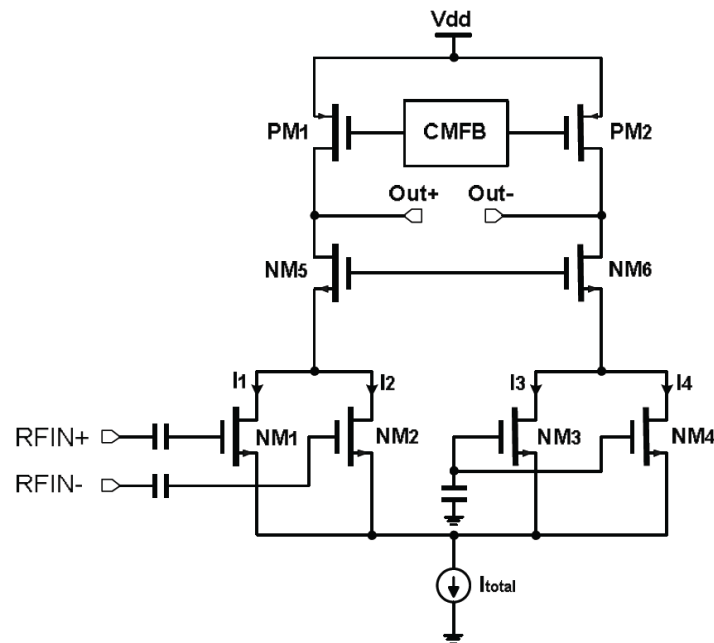


Figure 12 : Structure du multiplieur actif utilisé en [6]

$$I_1 = \frac{K}{2}(V_{GS} + V_p - V_t)^2 \quad (19)$$

$$I_2 = \frac{K}{2}(V_{GS} + V_n - V_t)^2 \quad (20)$$

$$I_3 = I_4 = \frac{K}{2}(V_{GS} - V_t)^2 \quad (21)$$

$$V_{out} = I_{out} \cdot R_{out} = (I_1 + I_2 + I_3 + I_4) \cdot R_{out} \quad (22)$$

$$V_p = -V_n = \frac{V_{in}}{2} \quad (23)$$

$$V_{out} = \frac{K}{4} \cdot V_{in}^2 \cdot R_{out} \quad (24)$$

Avec V_{GS} la tension de polarisation

R_{out} impédance d'entrée étage suivant // impédance charge active

Outre l'utilisation de multiplieurs, une élévation au carré peut être obtenue à partir de la caractéristique non linéaire d'un transistor MOS. Dans [15], les auteurs exploitent cette propriété pour réaliser un détecteur pour impulsions ULB dont le circuit est représenté sur la Figure 13.

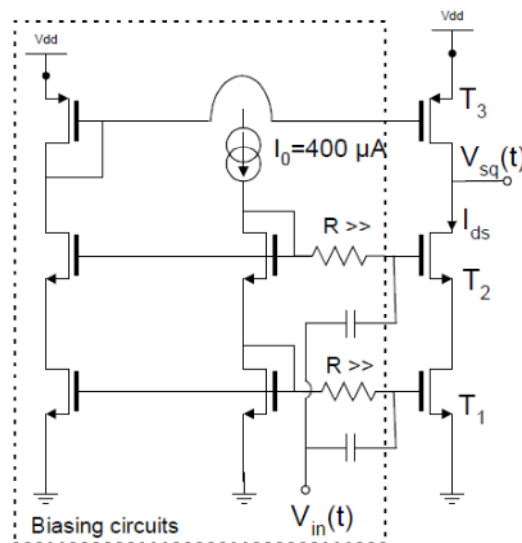


Figure 13 : Structure du multiplieur présenté en [15]

En [16], les auteurs utilisent un multiplieur combiné à l'effet d'une bascule pour détecter les impulsions ULB. La Figure 14 montre le circuit du détecteur qui a été conçu pour la bande de fréquence 1-2GHz. Le récepteur, qui intègre une gestion d'alimentation, consomme une puissance statique de 10.5 mW lorsqu'il est activé et de 3.3uW lorsqu'il est éteint. Ces valeurs correspondent à une consommation de puissance de 14.3 uW pour le débit minimal qui est de 100kb/s.

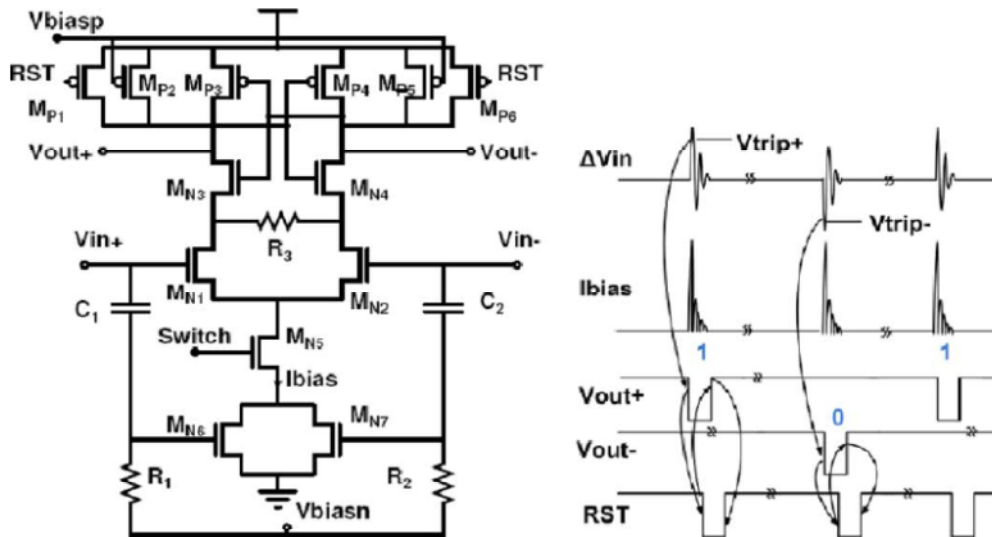


Figure 14 : Structure du détecteur présenté en [16]

Le Tableau 5 rassemble les caractéristiques des récepteurs non cohérents à détection d'énergie ou à détection d'amplitude publiés. Les sensibilités de ces récepteurs (extrapolées au débit de 1Mbps) sont moins bonnes que celles présentées par les super régénérateurs. Concernant l'énergie consommée par bit, les valeurs sont également moins bonnes que celles des super régénérateurs. Néanmoins la simplicité de ces architectures est un atout important qui permet de mettre en œuvre de manière plus aisée des techniques de gestion d'alimentation comme dans les travaux présentés en [11] [13][16] et [17]. Ces techniques qui permettent d'éteindre le récepteur entre deux impulsions sont d'un grand intérêt aux faibles débits car elles permettent d'atteindre des niveaux de puissance consommée très faible : 25uW à 10kb/s dans le cas de la référence [11] et 14.3 uW pour un débit de 100kb/s dans le cas de la référence [16].

Ref.	Fréquence Bande passante	Techno. (μm)	Alim. (V)	Conso. Récepteur (mW)	Taille Puce (mm^2)	Gain LNA (dB)	Nf LNA (dB)	Sensibilité Récepteur (dBm) @1Mbps ¹	Sensibilité Détecteur (dBm) @1Mbps ¹	Débit Max. (Mb/s)	Energie conso. par bit (nJ/bit)
[6]	[3 - 5] GHz	CMOS 0.18	1.8	31.5	2.8	33	3.7	-91	-58	1	31.5
[11]	3.4, 3.9 et 4.4 GHz 1 bande de 500 MHz à choisir	CMOS 0.09	0.65	35 ON (3.5 μW Off)	2.2	40	8.6	-89	-49	16.7	2.1
[13]	3.5, 4 et 4.5 GHz 1 bande de 500 MHz à choisir	CMOS 0.09	0.6 0.5	22.5 ON 11 ON	2.6	40	NC	-88 -62	-48 -22	16 16	1.4 0.7
[14] ²	[7.25 - 8.5] GHz	CMOS 0.18	1.8	5.4	NC	28	NC	-79	-51	0.1	54
[16]	3.5 et 4.5 GHz 1 bande de 500 MHz à choisir	CMOS 0.09	1	10.5 ON (14.3 μW @ 100 kbps)	2.3	35	NC	-71	-36	NC	0.14
[17]	3.5 et 4.5 GHz 1 bande de 500 MHz à choisir	CMOS 0.09	0.75	7.5 ON (12 μW @ 100 kbps)	1.44	35	NC	-77	-42	100	0.08
[18]	[3 - 5] GHz	CMOS 0.18	1.8	28.8	3.8	45	NC	-87	-42	50	0.6

Tableau 5 : Comparaison de récepteurs non cohérents à détection d'énergie ou de crête

¹ sensibilité extrapolée des publications et ramenée à un débit de 1 Mbps

² simulation

L'énergie consommée par bit a été calculée en divisant la consommation lorsque le détecteur détecte une impulsion par le débit maximum

II.3. Conclusion

Les récepteurs utilisant le principe de la super régénération présentent d'excellentes performances concernant la sensibilité et la consommation de puissance instantanée. Ces récepteurs nécessitent cependant un organe de synchronisation relativement complexe.

Les récepteurs qui utilisent une détection d'énergie ou une détection quadratique montrent des performances en retrait en termes de sensibilité et de consommation par rapport aux super régénérateurs. Cependant leur architecture est souvent d'une grande simplicité et des techniques de gestion d'alimentation efficaces, qui permettent de très faibles consommations de puissance pour les bas débits de communication, ont été démontrées. Cette caractéristique est de première importance dans les applications concernant des objets communicants autonomes nécessitant une très faible consommation.

Dans le cadre de cette thèse, nous cherchons à réaliser un récepteur destiné à des applications à faibles coûts et à faible consommation (WBAN, WPAN, réseau de capteurs, ...). Dans ces applications

qui ne nécessitent pas toujours des portées importantes la sensibilité du détecteur devient alors un critère secondaire par rapport à la consommation de puissance ou à la taille du système.

III. Modélisation de la détection non cohérente à détection d'énergie et à détection de crête

Dans ce paragraphe nous étudions les caractéristiques théoriques que l'on peut obtenir en utilisant un récepteur non cohérent à détection d'énergie ou à détection de crête : portée, sensibilité, probabilité d'erreur binaire. Bien que les détecteurs de crête soient peu utilisés pour les signaux ULB nous étudions également ce type de détecteur car ils sont de mise en œuvre simple et peuvent être intéressants dans le cadre de systèmes très faible coût ne nécessitant pas une portée importante.

III.1. Etude et modélisation de la détection non cohérente de signaux ULB

a. Introduction

Nous limiterons notre étude aux systèmes de détection non cohérents qui utilisent un détecteur d'énergie ou un détecteur de crête. Notre but est de modéliser de manière simple ces deux types de détection dans le contexte particulier des signaux ULB de façon à dégager les paramètres de conception les plus influents sans se limiter au contexte d'une mise en œuvre technologique particulière. L'objectif est de calculer la probabilité d'erreur sur le bit et donc la portée que l'on peut atteindre avec ces systèmes de détection. Nous étudierons le cas particulier des modulations de type OOK qui présentent beaucoup d'intérêt dans le contexte des systèmes dédiés aux applications nécessitant une faible consommation et un faible coût de fabrication. Nous ne détaillerons pas le cas des modulations de type PPM, néanmoins la modélisation proposée peut servir de base pour l'étude de ces systèmes.

III.1.a. Cadre d'hypothèses

Nous limitons notre étude à une modélisation simplifiée où l'on considère uniquement un bruit additif gaussien centré dont la valeur efficace est calculée à partir de la bande passante maximale théorique du signal permise par les différentes normes. La densité de probabilité du bruit $b(t)$ a donc pour expression :

$$p_b(b) = \frac{1}{\sqrt{2\pi\sigma_b^2}} e^{\frac{-b^2}{2\sigma_b^2}} \quad (25)$$

Avec σ_b la valeur de la tension efficace du bruit.

Le signal entrant dans le détecteur a une amplitude instantanée $s_B(t)$ qui est la somme de l'impulsion ULB non bruitée $s(t)$ et du bruit Gaussien $b(t)$. Les impulsions ULB que nous considérons sont idéalisées et nous ne considérons pas de distorsion liée au canal de transmission. Nous étudierons trois cas d'impulsions qui concernent (i) la bande FCC 3.1 - 10.6 GHz dans son intégralité, (ii) la bande ECC 6 - 8.5GHz dans son intégralité et (iii) un canal de 500MHz dans la bande 3 - 5 GHz. Une impulsion dans la bande FCC 3.1 - 10.6 GHz sera modélisée par la dérivé 7^{eme} d'une impulsion gaussienne. Une impulsion dans la bande ECC 6 - 8.5 GHz sera modélisée par le signal obtenu en

multipliant une sinusoïde à la fréquence centrale de la bande à une gaussienne. L'impulsion dans un canal de 500 MHz dans la bande 3 -5 GHz sera modélisée en multipliant un signal impulsionnel carré avec une porteuse à la fréquence de 4 GHz.

Les trois impulsions élémentaires utilisées dans notre étude sont représentées sur les Figure 15, Figure 16 et Figure 17 dans les domaines temporels et fréquentiels.

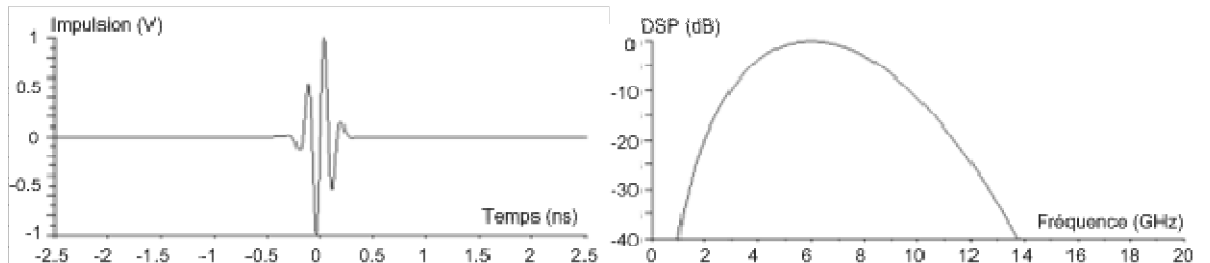


Figure 15 : Modélisation simplifiée temporelle et fréquentielle d'une impulsion FCC 3.1 – 10.6 GHz

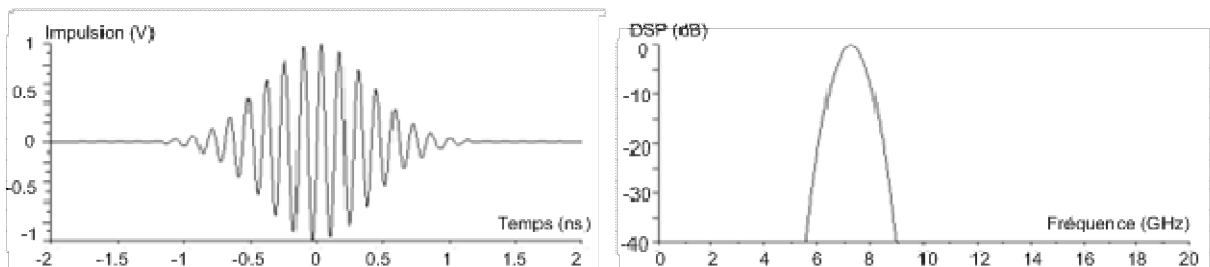


Figure 16 : Modélisation simplifiée temporelle et fréquentielle d'une impulsion ECC 6 – 8.5 GHz

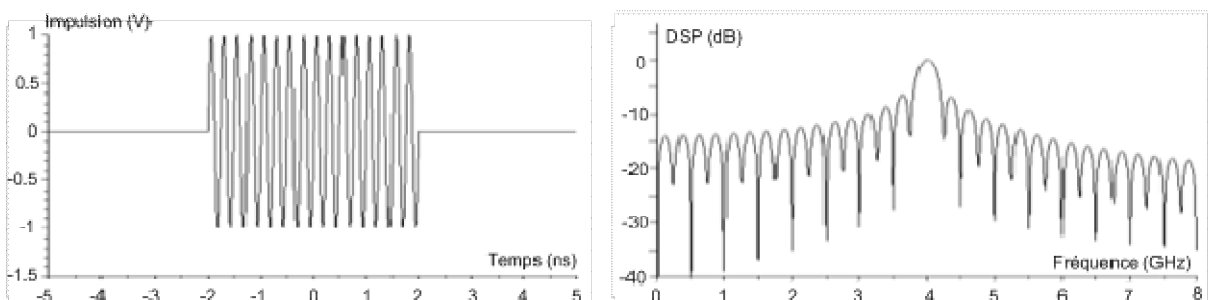


Figure 17 : Modélisation simplifiée temporelle et fréquentielle d'une impulsion ULB de 500 MHz de bande passante centrée à 4 GHz

III.2. Calcul de la probabilité d'erreur de détection d'un système à détection d'énergie

a. Calcul de la probabilité de détection d'une impulsion

La détection d'une impulsion par un détecteur d'énergie est réalisée en intégrant la puissance instantanée du signal entrant dans le détecteur durant un temps d'intégration T donné. Si l'énergie collectée W dépasse une valeur W_D appelée seuil de décision alors la sortie du détecteur bascule à l'état haut (le détecteur estime qu'une impulsion a été détectée). Dans le cas contraire la sortie reste à l'état bas (cf. Figure 18).

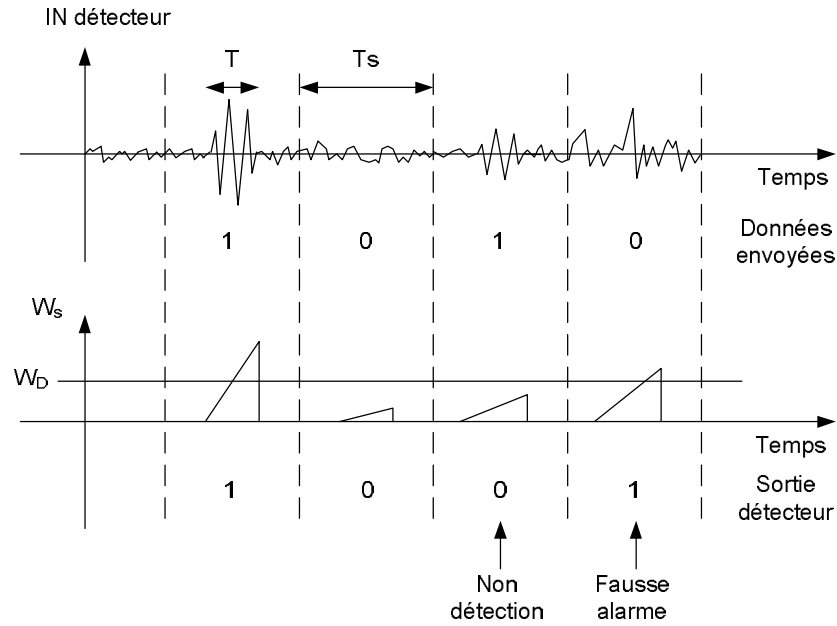


Figure 18 : Principe détecteur d'énergie

Durant le temps de mesure T, le détecteur d'énergie collectera une énergie W valant :

$$W = \int_0^T \frac{(s_b)^2}{R} dt \quad (26)$$

où R est la résistance d'entrée du détecteur.

Afin de pouvoir effectuer de manière simple et directe les calculs de probabilité d'erreur de transmission en présence de bruit nous remplaçons le signal en temps continu par le signal échantillonné à la fréquence de Nyquist. En effet, l'énergie d'un signal d'énergie finie, d'étalement temporel T et de bande passante B peut être calculée avec le signal discret sur un nombre fini d'échantillons correspondant à la dimension d'espace $2BT+1$ [19].

L'intégrale est alors remplacée par une sommation sur un nombre fini d'échantillons et on obtient alors une estimation W_E de l'énergie collectée :

$$W_E = \frac{T}{R} \frac{1}{N} \sum_N (S_i + B_i)^2 \quad (27)$$

où S_i et B_i sont les valeurs échantillonnées de l'impulsion ULB et du bruit et $N=2Tf_{Max}$ le nombre d'échantillons.

En posant

$$X_i = S_i + B_i \quad \text{et} \quad Y = \sum_{i=1}^N \frac{X_i^2}{\sigma_b^2} \quad (28)$$

On obtient

$$W_E = \frac{T\sigma_b^2}{R.N} Y \quad (29)$$

Chaque échantillon X_i est la somme d'une valeur certaine qui correspond à l'échantillon du signal non bruité et à une valeur aléatoire Gaussienne. Chaque X_i est donc une variable aléatoire Gaussienne non centrée dont la valeur moyenne correspond à la valeur de l'échantillon i et dont la variance est identique à celle du bruit et vaut σ_b^2 . Sous l'hypothèse que les échantillons X_i soient des variables aléatoires indépendantes et en normalisant ces échantillons par la valeur efficace du bruit, on obtient une variable aléatoire réduite dont la somme Y est une variable aléatoire qui obéit à une distribution de type χ^2 non centrée, à N degrés de libertés, de paramètre de non centralité λ [20]. Le paramètre de non centralité vaut :

$$\lambda = \sum_N \left(\frac{S_i}{\sigma_b} \right)^2 = \frac{1}{\sigma_b^2} \frac{R.N}{T} W_s \quad (30)$$

Celui-ci est directement lié à l'énergie du signal non bruité W_s donnée par :

$$W_s = \frac{T}{R.N} \sum_N (S_i)^2 \quad (31)$$

La densité de probabilité de Y a alors pour expression :

$$f_y(x, N, \lambda) = \frac{1}{2} e^{-\frac{(x+\lambda)}{2}} \left(\frac{x}{\lambda} \right)^{\frac{(N-1)}{2}} I_{\frac{N-1}{2}}(\sqrt{\lambda x}) \quad (32)$$

où $I_\alpha(y)$ est la fonction de Bessel modifiée de première espèce et d'ordre α

$$I_\alpha(y) = \left(\frac{y}{2} \right)^\alpha \sum_{j=0}^{\infty} \frac{\left(\frac{y^2}{4} \right)^j}{j! \Gamma(\alpha + j + 1)} \quad (33)$$

La fonction de répartition de y a pour expression :

$$F_Y(x, N, \lambda) = \sum_{j=0}^{\infty} e^{-\frac{\lambda}{2}} \frac{\left(\frac{\lambda}{2} \right)^j}{j!} Q(x; N + 2j) \quad (34)$$

Avec

$$Q(x; k) = \frac{\gamma(k/2, x/2)}{\Gamma(k/2)} \quad (35)$$

$\gamma(k, z)$ est la fonction Γ incomplète.

La fonction de répartition F_Y est implantée dans les principaux logiciels mathématiques du commerce. Il est alors aisé et rapide de calculer la probabilité que la valeur de l'énergie mesurée pendant une durée T (estimée par la variable d'estimation W_E) ne dépasse pas un certain seuil de décision W_D (cf. Figure 18).

$$W_E < W_D \Rightarrow \frac{T\sigma_b^2}{R.N} Y < W_D \Rightarrow Y < \frac{R.N.W_D}{T.\sigma_b^2} \quad (36)$$

La probabilité de ne pas détecter une impulsion pendant le temps T vaut donc :

$$P_{rND} = F_Y \left(\frac{R.N.W_D}{T.\sigma_b^2}, N, \frac{R.N.W_S}{\sigma_b^2 T} \right) \quad (37)$$

III.2.a. Calcul de la probabilité d'une fausse alarme

On appellera fausse alarme le franchissement du seuil de décision en l'absence d'impulsion pendant la période de mesure T. La fausse alarme est liée à la présence du bruit. Une fausse alarme a lieu lorsque l'énergie collectée durant la période de mesure T dépasse le seuil décision alors qu'aucune impulsion n'a été reçue en entrée du détecteur (cf. Figure 18). Les expressions mathématiques correspondant à la statistique du χ^2 non centré ne s'appliquent pas à ce cas car elles sont définies pour une valeur non nulle du paramètre λ .

Dans ce cas (lorsque les valeurs S_i sont nulles) la variable aléatoire Y définie précédemment devient la somme des carrés d'une variable aléatoire qui est une loi normale que l'on notera Y' . Y' obéit donc à une statistique du χ^2 centrée à N degrés de liberté dont la densité de probabilité vaut :

$$f_{Y'}(x, N) = \frac{1}{2^{N/2} \Gamma(N/2)} x^{(N/2-1)} e^{-x/2} \quad (38)$$

, et la fonction caractéristique :

$$F_{Y'}(x, N) = \frac{1}{\Gamma(N/2)} \gamma(N/2, x/2) \quad (39)$$

On a toujours :

$$W_E = \frac{T\sigma_b^2}{R.N} Y' \quad (40)$$

La fausse alarme sera définie par :

$$W_E \geq W_D \Rightarrow \frac{T\sigma_b^2}{R.N} Y' \geq W_D \Rightarrow Y' \geq \frac{R.N.W_D}{T.\sigma_b^2} \quad (41)$$

La probabilité d'avoir une fausse alarme pendant le temps T vaut donc :

$$P_{rFA} = 1 - F_{Y'} \left(\frac{R.N.W_D}{T.\sigma_b^2}, N \right) \quad (42)$$

III.2.b. Application à une modulation de type OOK

La Figure 18 schématise les différents cas que l'on peut obtenir avec le système de détection considéré : détection d'un "1", non détection d'un "1", détection d'un "0", fausse alarme. En considérant que la probabilité de recevoir un "0" en entrée est égale à celle de recevoir un "1", la probabilité d'une erreur de détection ($Pr(e)$) est obtenue en additionnant la moitié de la probabilité de fausse alarme (Pr_{FA}) et la moitié de la probabilité de non détection d'un signal entrant (Pr_{nd}).

$$Pr(e) = 0.5 * Pr_{FA} + 0.5 * Pr_{nd} \quad (43)$$

Compte tenu des relations (37) et (42), pour un seuil de détection W_D donné, la probabilité d'erreur dépend de l'énergie W_S de l'impulsion ULB non bruitée reçue par le détecteur, de la valeur efficace du bruit σ_b , du temps d'intégration ou de mesure T , de la bande passante du système qui fixe la fréquence d'échantillonnage et également, par conséquent, le nombre N d'échantillons pendant le temps de mesure T .

L'énergie W_S de l'impulsion ULB non bruitée reçue par le détecteur dépend de l'impulsion émise par l'émetteur et de l'amplification de la chaîne de réception en amont du détecteur. La variance du bruit dépend de la bande passante du système, de l'amplification et du facteur de bruit de la chaîne de réception en amont du détecteur. La puissance de bruit entrant dans le détecteur ainsi que sa valeur efficace sont calculées à partir des équations (44) (45) et (46).

$$P_{bruit_dB} = 10 \log KT + 10 \log B + G_{LNA} + NF \quad (44)$$

$$P_{bruit_dBm} = -174 + 10 \log B + GLNA + NF \quad (45)$$

$$P_{bruit_dB} = 10 \log \left(\frac{\sigma_b^2}{R} \right) \quad (46)$$

Dans les expressions (37) et (42) l'énergie W_S de l'impulsion ULB et le seuil de décision W_D étant toujours divisés par la variance du bruit, l'amplification n'intervient pas dans la probabilité d'erreur si le seuil de décision W_D est corrigé en proportion. En revanche le facteur de bruit n'intervenant que sur la variance du bruit, sa valeur influe sur la probabilité d'erreur.

Les paramètres d'étude pertinents sont donc le rapport signal sur bruit qui est directement lié à la portée pour un signal émis donné, la durée d'intégration T , le type de signal considéré et le facteur de bruit de la chaîne de réception. Dans la suite de ce paragraphe, nous étudions l'influence de ces paramètres sur la probabilité d'erreur d'un détecteur d'énergie. Les performances de trois détecteurs destinés aux normes : (i) FCC, (ii) ECC, (iii) canal de 500 MHz centré à 4 GHz sont présentées.

Par la suite, l'impédance d'antenne est fixée à 50 Ω .

Cas d'un détecteur d'énergie FCC 3.1 – 10.6 GHz

Nous supposons dans un premier temps que le détecteur se trouve directement en sortie de l'antenne. Cette hypothèse correspond à un récepteur comprenant un LNA de gain quelconque et de facteur de bruit nul. Nous supposons également un temps d'intégration de l'impulsion fixé à 10 ns.

Les systèmes FCC fonctionnent entre 3.1 et 10.6 GHz. Nous en déduisons la bande passante du bruit.

$$B=7.5 \text{ GHz} \quad (47)$$

D'après (45) et (47), la puissance de bruit est égale à -75 dBm. La valeur efficace du bruit est calculée à partir de (46).

$$V_{\text{eff}} = \sigma_b = 3.86 \cdot 10^{-5} \text{ V} \quad (48)$$

D'après les équations (37) (42) et (43), à un couple de valeurs W_D et W_S données correspond une probabilité d'erreur de détection. Sur la Figure 19 est représentée la valeur de la probabilité d'erreur en fonction des différentes combinaisons entre W_D et W_S . Ces résultats ont été obtenus à partir de simulations mathématiques effectuées avec le logiciel Scilab.

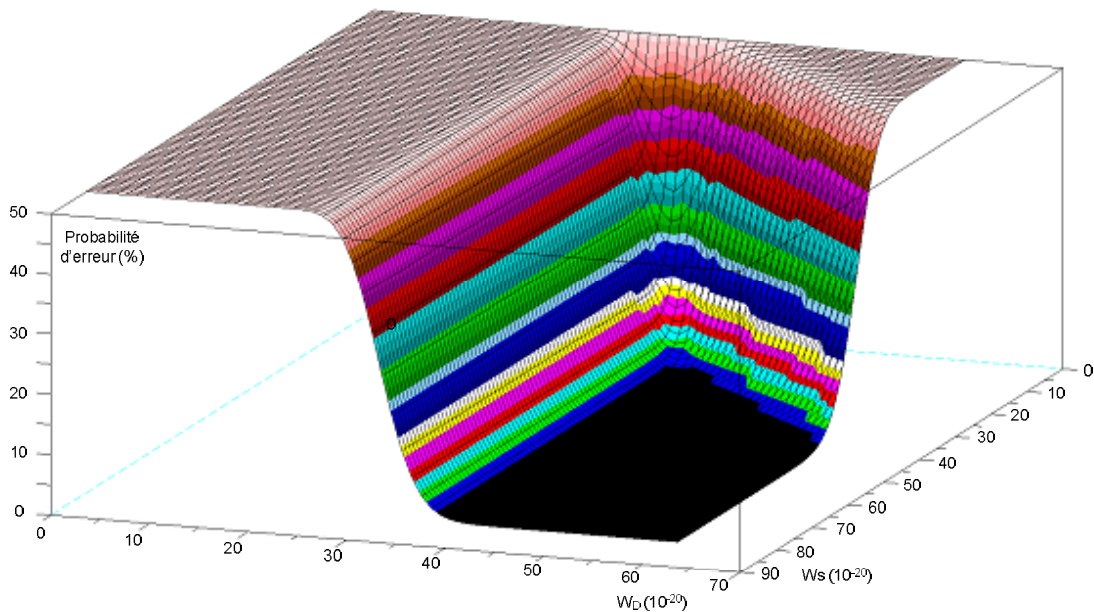


Figure 19 : Probabilité d'erreur en fonction de W_D et de W_S

Pour chaque probabilité d'erreur, il existe un seuil W_D idéal permettant de minimiser W_S et donc de maximiser la sensibilité du détecteur.

- **Influence du BER**

A partir des résultats de la Figure 19, il est possible de trouver le seuil idéal ainsi que la valeur d'énergie minimale de l'impulsion à fournir au détecteur pour une probabilité d'erreur donnée. Pour une probabilité d'erreur donnée, connaissant l'énergie de l'impulsion à fournir, nous calculons son amplitude maximale V_M . Celle-ci est calculée en faisant varier l'amplitude de l'impulsion présentée sur la Figure 15 pour obtenir l'énergie désirée. Ces résultats sont présentés dans le Tableau 6 pour différentes probabilités d'erreur. Le pas du calcul de W_D et W_S a été fixé à 10^{-20} Joules.

Pour obtenir une estimation de la portée qu'il est raisonnablement possible d'atteindre avec un système intégré nous supposons que l'émetteur est capable de générer des impulsions d'amplitude pic à pic égale à la tension d'alimentation V_{DD} de la technologie considérée. Les circuits réalisés dans le cadre de cette thèse utilisant la technologie HCMOS9 nous prendrons par la suite pour les applications numériques $V_{DD}=1.2 \text{ V}$. L'utilisation de la formule de Friss, rappelée en (49), nous permet ensuite de relier l'énergie du signal W_S à la distance de communication.

$$Pr = Pe^* \left(\frac{\lambda}{4\pi d} \right)^2 \quad (49)$$

On prendra pour estimer la distance de communication une longueur d'onde λ calculée la à la fréquence centrale de la bande ULB considérée.

BER	W_D (Joule* 10^{-20})	W_s (Joule* 10^{-20})	Amplitude Impulsion (μV)	Distance communication (m)	W_s/N_0 (dB)
10-4	42	29	270	7.8	18.6
10-3	40	24	244	8.6	17.8
10-2	27	17	206	10.2	16.3
10-1	33	9	149	14.1	13.5

Tableau 6 : Valeur de seuil de détection idéal et d'énergie d'impulsion à fournir au détecteur pour un BER donné et un temps d'intégration de 10 ns

En fixant un temps d'intégration du signal à 10 ns et un BER de 10^{-3} , il est ainsi possible de détecter des impulsions ayant une énergie minimale de $24 \cdot 10^{-20}$ Joules correspondant à une impulsion ayant une amplitude de 244 μV . Avec un générateur fournissant une impulsion de 1.2 V pic - pic, une communication théorique de 8.6 m peut être atteinte.

- **Influence du temps d'intégration**

Le second paramètre influant sur le rapport signal sur bruit est le temps d'intégration du signal. Le temps d'intégration minimal est lié à la bande passante alors que le temps d'intégration maximal qui ne peut excéder le temps symbole est fixé par le débit. L'impulsion FCC ayant une durée de l'ordre de 500ps nous avons limité notre étude à un temps d'intégration minimal de 1ns. Le Tableau 7 présente l'influence du temps d'intégration sur les valeurs du seuil de décision, de l'énergie de l'impulsion minimale et sur la portée dans le cas d'un BER de 10^{-3} .

Temps d'intégration	Débit max	W_D (Joule* 10^{-20})	W_s (Joule* 10^{-20})	Amplitude Impulsion (μV)	Distance communication (m)	W_s/N_0 (dB)
1ns	1GHz	7	11	165	12.7	14.4
10ns	100MHz	40	24	244	8.6	17.8
100ns	10MHz	330	63	395	5.3	22
1us	1Mhz	3075	185	678	3.1	26.7

Tableau 7 : Influence du temps d'intégration sur les valeurs du seuil de décision de l'énergie d'impulsion minimale et de la portée pour un BER de 10^{-3}

Les résultats du Tableau 7 montrent que la réduction du temps d'intégration permet d'augmenter sensiblement la sensibilité du récepteur et donc la portée pour une valeur donnée de BER. Cette intégration sélective peut être réalisée en activant le détecteur autour du temps d'apparition de l'impulsion. Un fenêtrage autour de l'instant d'apparition de l'impulsion présente un deuxième avantage. Puisque l'intégration n'est réalisée que durant le temps où l'impulsion est présente, le système peut être éteint le reste du temps permettant de réduire fortement la consommation [11].

- **Influence du facteur de bruit**

Le dernier paramètre qui influence la probabilité d'erreur d'un détecteur d'énergie est le facteur de bruit du LNA. Le Tableau 8 présente son influence sur les performances du système de détection

pour un temps d'intégration fixé à 10 ns et un BER fixé à 10^{-3} . La présence d'un LNA de 30 dB de gain a été supposée en amont du détecteur.

NF (dB)	W_D (Joule* 10^{-17})	W_S (Joule* 10^{-17}) (entrée détecteur)	W_{S_LNA} (Joule* 10^{-20}) (entrée récepteur LNA 30 dB)	Amplitude Impulsion (μ V) (entrée récepteur)	Distance communication (m)	W_{S_LNA}/N_0 (dB)
0	40	24	24	244	8.6	17.8
2	63	37	37	304	6.8	19.7
4	100	58	58	380	5.5	21.6
6	157	92	92	478	4.4	23.6
8	249	146	146	602	3.5	25.6

Tableau 8 : Valeur de seuil de détection et d'énergie d'impulsion à fournir pour un BER de 10^{-3} , un temps d'intégration de 10 ns et un facteur de bruit donnés

Comme pressenti, le facteur de bruit du LNA a une influence notable sur la sensibilité du détecteur.

Un récepteur FCC comprenant un détecteur d'énergie permet théoriquement de réaliser aisément des communications au delà de 3 mètres si l'on dispose d'un générateur émettant des impulsions de 1.2 Vpp. L'efficacité du récepteur peut être optimisée en jouant sur le fenêtrage de l'impulsion et sur le facteur de bruit du LNA précédant le détecteur.

Cas d'un détecteur d'énergie ECC 6 – 8.5 GHz

Dans ce paragraphe, nous étudions les performances d'un récepteur comprenant un détecteur d'énergie fonctionnant pour la norme ECC. Nous ne reprenons pas l'étude que nous avons faite au paragraphe précédent concernant l'influence du temps de mesure et l'influence du facteur de bruit sur les performances de récepteur. Les conclusions pour un détecteur ECC sont les mêmes que pour un détecteur FCC.

Dans ce paragraphe, nous cherchons uniquement, pour un BER donné, le seuil optimal du détecteur permettant de maximiser la sensibilité du détecteur. A partir de ces résultats, une distance théorique de communication est calculée pour un système utilisant la bande de fréquence ECC qui est comprise entre 6 et 8.5 GHz. Dans ce cas la bande passante B du bruit vaut :

$$B=2.5 \text{ GHz} \quad (50)$$

D'après (45) et (50), la puissance du bruit est égale à -80 dBm. En considérant que le récepteur a une impédance d'entrée de 50Ω , la valeur efficace du bruit peut être calculée à partir de (46).

$$V_{\text{eff}} = \sigma_b = 2.23 \cdot 10^{-5} \text{ V} \quad (51)$$

Comme nous l'avons fait précédemment pour le détecteur FCC, nous calculons pour un BER donné le seuil idéal de décision W_D ainsi que l'énergie minimale de l'impulsion en entrée du détecteur W_S pour atteindre le BER visé. Le temps d'intégration du signal a été fixé à 10 ns et nous avons supposé un LNA de facteur de bruit nul et de gain quelconque. Les calculs sont réalisés à partir de Scilab en prenant un pas de calcul de W_D et W_S valant 10^{-20} Joules. Les valeurs des couples W_S et W_D correspondant à une sensibilité donnée sont présentées dans le Tableau 9. A partir de ces résultats, nous trouvons la distance théorique de communication maximale entre un détecteur d'énergie ECC et un générateur fournissant des impulsions de 1.2 Vpp.

BER	W_D (Joule* 10^{-20})	W_S (Joule* 10^{-20})	Amplitude Impulsion (μV)	Distance communication (m)	W_s/N_0 (dB)
10-4	15	12	95	20.8	14.8
10-3	14	9	82	24.1	13.5
10-2	13	7	72	27.4	12.5
10-1	11	4	55	35.9	10

Tableau 9 : Valeur de seuil de détection et d'énergie d'impulsion à fournir au détecteur pour un BER donné et un temps d'intégration de 10 ns

Pour une valeur typique de BER de 10^{-3} et avec un temps d'intégration du signal de 10 ns, un détecteur d'énergie permet de détecter des impulsions ayant une énergie minimale de $9 \cdot 10^{-20}$ Joules correspondant à des impulsions ayant une amplitude crête de 82 μV . Cela correspond à une distance théorique de communication de 24.1 mètres avec un générateur fournissant des impulsions de 1.2 Vpp. Cette distance est sensiblement plus importante que celle obtenue avec un récepteur utilisant la totalité de la bande FCC car la puissance de bruit, qui dépend linéairement de la bande passante, est plus faible et car on travaille à amplitude crête d'émission constante.

Cas d'un détecteur d'énergie fonctionnant avec des impulsions de 500 MHz de bande passante centrées autour de 4 GHz

Dans ce paragraphe, nous étudions les performances d'un récepteur comprenant un détecteur d'énergie fonctionnant pour des impulsions de 500 MHz de bande passante centrée autour de 4 GHz. Comme pour le paragraphe précédent, nous cherchons uniquement le seuil de détection optimal du détecteur d'énergie permettant de maximiser la sensibilité. A partir de ces résultats, une distance théorique de communication est calculée pour un système de 500 MHz de bande passante fonctionnant à 4 GHz.

Pour cette bande passante la puissance du bruit entrant dans le récepteur est égale à -87 dBm. En considérant que le récepteur a une impédance d'entrée de 50 Ω , la valeur efficace du bruit peut être calculée à partir de (46).

$$V_{\text{eff}} = \sigma_b = 1.10^{-5} V \quad (52)$$

Comme nous l'avons fait précédemment pour les détecteurs FCC et ECC, nous calculons pour un BER donné le seuil idéal de détection ainsi que l'énergie minimale de l'impulsion en entrée du détecteur qui permettent d'atteindre ce BER. Le temps d'intégration du signal a été fixé à 10 ns et nous avons supposé un LNA de facteur de bruit nul et de gain quelconque. Les calculs sont réalisés à partir de Scilab en prenant un pas de calcul de W_D et W_S valant 10^{-21} Joules. Les valeurs des couples W_S et W_D correspondant à une sensibilité donnée sont présentées dans le Tableau 10. A partir de ces résultats nous trouvons la distance théorique de communication maximale entre un tel détecteur d'énergie et un générateur fournissant des impulsions de 1.2 Vpp.

BER	W_D (Joule* 10^{-20})	W_S (Joule* 10^{-20})	Amplitude Impulsion (μV)	Distance communication (m)	W_S/N_0 (dB)
10-4	3.3	3.5	21.9	163.5	9.4
10-3	3.1	2.8	19.6	182.7	8.5
10-2	2.8	1.9	16.1	224	6.8
10-1	2.4	1	12.1	296	4

Tableau 10 : Valeur de seuil de détection et d'énergie d'impulsion à fournir au détecteur pour un BER donné et un temps d'intégration de 10 ns

En fixant un temps d'intégration du signal à 10 ns et un BER de 10^{-3} , un détecteur d'énergie permet de détecter des impulsions ayant une énergie minimale de 2.8×10^{-20} Joule correspondant à des impulsions ayant une amplitude de 19.6 μV . Une distance théorique de communication de 182.7 mètres peut être atteinte entre un détecteur d'énergie et un générateur fournissant des impulsions de 1.2 Vpp.

III.2.c. Conclusion

Dans ce paragraphe, nous avons évalué la sensibilité théorique des détecteurs d'énergie destinés aux applications ULB. Nous avons mis en évidence les principaux paramètres ayant une influence sur la sensibilité. La bande passante du système joue un rôle important en raison de son influence sur le bruit présent à l'entrée du récepteur. Hormis la bande passante du système, les paramètres influents sont le temps d'intégration du signal et le facteur de bruit du LNA. Le gain du LNA n'influence pas la sensibilité du récepteur.

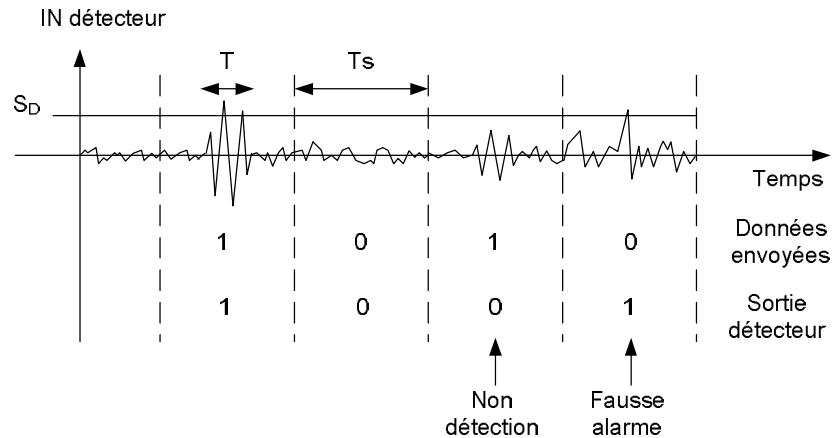
Nous avons montré qu'avec un générateur émettant des impulsions de 1.2 Vpp et un récepteur comprenant un détecteur d'énergie (intégrant le signal pendant une durée de 10ns), il est possible de réaliser une communication avec un BER de 10^{-3} portant jusqu'à 8.6, 24.1 et 182.7 mètres pour respectivement les normes FCC, ECC et un canal de 500 MHz compris entre 3 et 5 GHz. Ces performances sont tout à fait convenables pour les applications visées. Notons qu'il est possible d'augmenter la portée de ces systèmes en utilisant des générateurs capables d'émettre des impulsions dépassant les 1.2 Vpp.

III.3. Probabilité d'erreur avec un détecteur de crête

a. Introduction

Dans ce paragraphe, nous reprenons l'étude réalisée sur les détecteurs d'énergie et l'appliquons aux détecteurs de crête. Dans un premier temps, nous calculons les expressions théoriques des probabilités de fausse alarme et de non détection. A partir des résultats obtenus, des prévisions de sensibilité en fonction des paramètres influents sont présentées.

La détection d'une impulsion par un détecteur de crête est réalisée en comparant le signal entrant à une tension de référence ou seuil de décision (S_d). La sortie du détecteur bascule à l'état haut si le signal entrant dépasse cette tension (cf. Figure 20).


Figure 20 : Principe d'un détecteur de crête

En considérant que la probabilité de recevoir un "0" en entrée est égale à celle de recevoir un "1", la probabilité d'une erreur de détection ($\Pr(e)$) est obtenue en (53) en additionnant la moitié de la probabilité de fausse alarme (\Pr_{FA}) et la moitié de la probabilité de non détection d'un signal entrant (\Pr_{nd}).

$$\Pr(e) = 0.5 * \Pr_{FA} + 0.5 * \Pr_{nd} \quad (53)$$

Une fausse alarme a lieu lorsque la sortie du détecteur passe à l'état haut alors qu'aucune impulsion ("0" binaire) n'a été envoyée. Celle-ci apparaît lorsque l'amplitude du bruit (V_b) dépasse la valeur du seuil du détecteur à un instant t durant le temps de mesure du bit. Inversement une impulsion ("1" binaire) n'est pas détectée lorsque l'amplitude du signal entrant (constitué de l'impulsion additionnée au bruit) est inférieure au seuil de détection durant toute la durée du bit (cf. Figure 20).

Un signal est détecté si son amplitude dépasse une valeur seuil S_d de décision (cf. Figure 20). On peut ainsi obtenir la probabilité de détection du signal $\Pr_{d_1_instant}$ à un instant t .

$$\Pr_{d_1_instant} = \int_{S_d}^{\infty} p_{s+b}(v)dv \quad (54)$$

Avec p_{s+b} la densité de probabilité de la tension du signal entrant (bruit + impulsion) à l'instant t .

De même, une fausse alarme est obtenue si l'amplitude du bruit dépasse le seuil de décision S_d . On peut ainsi obtenir la probabilité d'une fausse alarme à l'instant t .

$$\Pr_{FA_1_instant} = \int_{S_d}^{\infty} p_b(v)dv \quad (55)$$

Avec p_b la densité de probabilité de la tension du bruit à l'instant t .

Les probabilités $\Pr_{d_1_instant}$ et $\Pr_{FA_1_instant}$ ne sont valables qu'à un instant donné de mesure et ne permettent pas de déterminer directement la probabilité de fausse alarme et de non détection pour un système continu dans le temps.

Afin de pouvoir effectuer de manière simple et directe les calculs de probabilité d'erreur de transmission en présence de bruit, nous remplaçons, comme dans l'étude de la détection d'énergie,

le signal en temps continu par le signal échantillonné à la fréquence de Nyquist (correspondant au double de la fréquence maximale de la bande de fréquence UWB considérée).

En considérant que le récepteur a une fréquence de coupure f_{\max} égale à la fréquence maximale de la norme choisie et en échantillonnant le signal entrant à une période T de telle sorte que le théorème de Shannon soit respecté (56), on peut estimer simplement la probabilité d'erreur de détection.

$$\frac{1}{T} = 2 * f_{\max} \quad (56)$$

Dans la suite de ce paragraphe, nous considérerons que la densité de probabilité de l'amplitude du bruit est une gaussienne de valeur efficace σ_b centrée autour de 0V.

$$p_b(v) = \frac{1}{\sqrt{2\pi\sigma_b^2}} e^{-\frac{v^2}{2\sigma_b^2}} \quad (57)$$

III.3.a. Calcul de la probabilité d'une fausse alarme

La probabilité d'une fausse alarme en un instant t peut être calculée directement à partir de (55) et (57). Celle-ci dépend uniquement du seuil de décision S_d choisi et de la valeur efficace du bruit reçue en entrée du détecteur.

$$\Pr_{FA_1_instant} = \frac{1}{\sqrt{2\pi\sigma_b^2}} \int_{S_d}^{\infty} e^{-\frac{v^2}{2\sigma_b^2}} dv \quad (58)$$

Pour qu'il n'y ait pas d'erreur de détection, il faut qu'aucune fausse alarme n'ait lieu durant le temps de mesure. En considérant que le détecteur mesure la présence ou l'absence d'une impulsion durant toute la période de mesure T , la probabilité d'une erreur de détection provenant d'une fausse alarme est calculée en (59) en respectant la condition (56).

$$\Pr_{FA} = 1 - (1 - \Pr_{FA_1_instant})^{nb_mesure} \quad (59)$$

Avec

$$nb_mesure = 2 * f_{\max} * T \quad (60)$$

III.3.b. Calcul de la probabilité de non détection d'un signal

Un signal entrant n'est pas détecté à l'instant t , si l'amplitude du signal entrant (bruit + impulsion) ne dépasse pas la valeur du seuil de décision :

$$Vs(t) + Vb(t) < S_d \quad (61)$$

En remplaçant l'impulsion entrante par le signal échantillonné à la fréquence de Nyquist, on peut calculer la probabilité de non détection à chaque instant d'échantillonnage t_i à partir de (54) et (61).

$$Pr_{nd}(t_i) = \int_{-\infty}^{Sd-Vs(t_i)} p_b(v)dv \quad (62)$$

$$Pr_{nd}(t_i) = \frac{1}{\sqrt{2\pi\sigma_b^2}} \int_{-\infty}^{Sd-Vs(t_i)} e^{\frac{-v^2}{2\sigma_b^2}} dv \quad (63)$$

L'impulsion n'est pas détectée si à aucun moment de la période de mesure T, le signal ne dépasse la valeur du seuil. On obtient donc en considérant tous les échantillons considérés pendant le temps de mesure T, La probabilité de non détection d'une impulsion à partir de (63).

$$Pr_{nd} = \prod_{i=0}^{2*f \max*Tm} Pr_{nd}(t_i) \quad (64)$$

III.3.c. Application à une modulation de type OOK

D'après les paragraphes précédents, la probabilité d'une erreur de détection dépend ainsi de quatre paramètres : (i) la valeur efficace du bruit, (ii) la valeur du seuil de décision, (iii) l'amplitude de l'impulsion reçue et (iv) le temps de mesure.

Dans la suite de ce paragraphe, nous étudions l'influence de ces paramètres sur la probabilité d'erreur d'un récepteur à détecteur de crête. Les trois bandes de fréquence FCC, ECC, et canal de 500 MHz centré à 4 GHz seront étudiées.

Cas d'un détecteur d'enveloppe FCC 3.1 – 10.6 GHz

Pour calculer la probabilité d'une erreur de détection, la première étape consiste à échantillonner l'impulsion à la fréquence de Nyquist. L'échantillonnage d'une impulsion FCC ainsi que le signal échantillonné sont représentés sur la Figure 21.

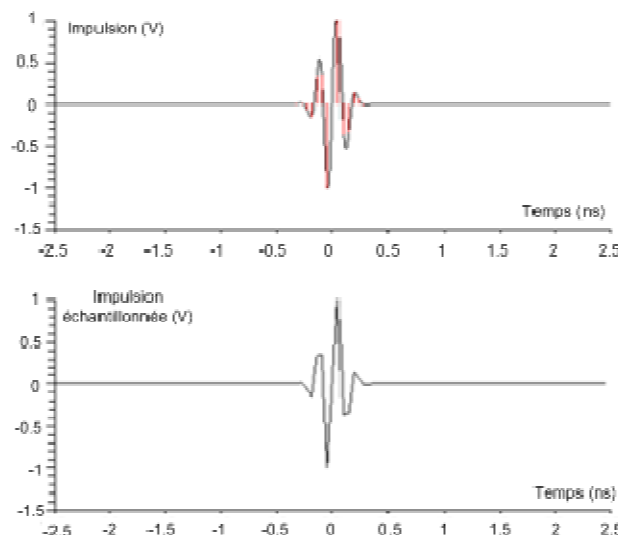


Figure 21 : Echantillonnage de l'impulsion à la fréquence de Nyquist (21.2 GHz)

L'amplitude du signal échantillonné varie selon l'instant de démarrage de l'échantillonnage. La méthode proposée permet donc d'obtenir la sensibilité du détecteur avec une certaine marge d'erreur. La marge d'erreur la plus importante se produit dans le cas du signal FCC dont l'étalement

temporel est court comme le montre la Figure 21 et correspond à quelques pseudo périodes de l'impulsion seulement. Cette marge d'erreur est plus faible dans le cas des signaux de bande passante plus faible dont l'étalement temporel est beaucoup plus important.

La valeur efficace du bruit dans le cas d'un système fonctionnant entre 3.1 et 10.6 GHz peut être calculée à partir de (45). A partir des relations établies dans le paragraphe précédent, des simulations numériques sous Scilab permettent d'obtenir la probabilité d'erreur de détection d'un détecteur de crête en fonction du seuil de décision choisi S_d et de l'amplitude maximale de l'impulsion reçue V_s . La Figure 22 présente la probabilité d'avoir une erreur de détection pendant un temps de mesure $T=10\text{ns}$ en fonction de l'amplitude de l'impulsion entrante et de la valeur de seuil de décision. Nous avons supposé que le détecteur est précédé par un LNA idéal de gain 30 dB.

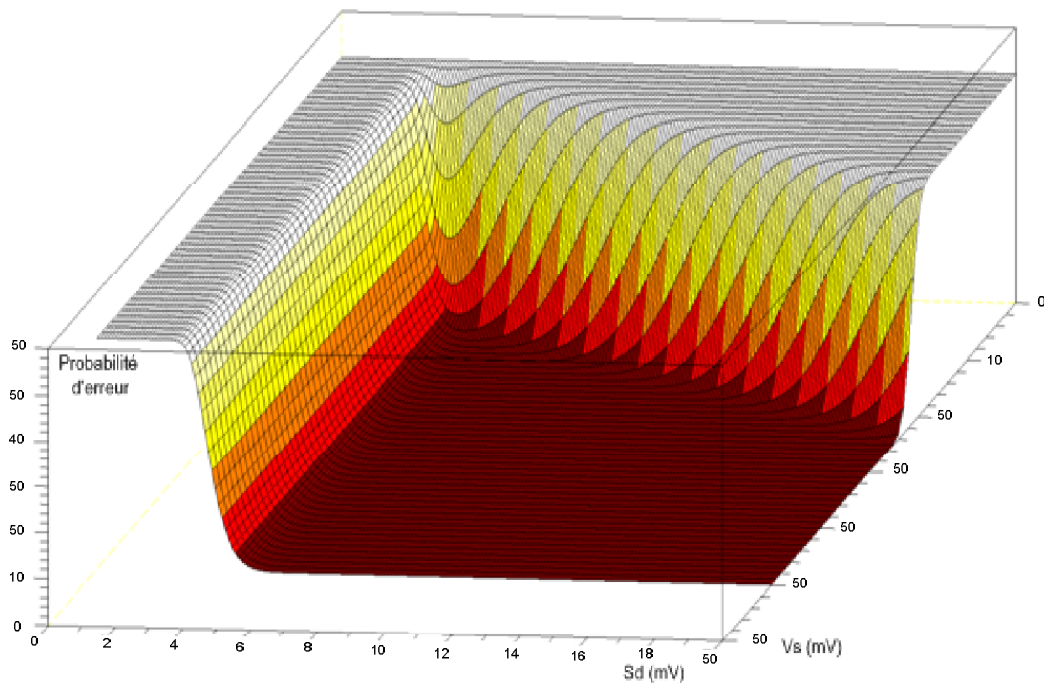


Figure 22 : Probabilité d'erreur en fonction de S_d et de l'amplitude de l'impulsion entrante dans le détecteur

Pour chaque probabilité d'erreur, il existe un seuil de décision S_D idéal permettant de maximiser la sensibilité du détecteur. A partir des résultats de la Figure 22, il est possible de trouver le seuil idéal ainsi que la valeur de l'amplitude minimale de l'impulsion à fournir au détecteur pour une probabilité d'erreur donnée.

Comme nous l'avons fait pour le détecteur d'énergie, nous évaluons dans ce paragraphe l'influence des différents paramètres jouant sur la probabilité d'erreur d'un détecteur d'enveloppe.

- **Influence du BER**

Le Tableau 11 montre la variation de la sensibilité du détecteur en fonction de la probabilité d'une erreur de détection. Ces calculs ont été réalisés sous Scilab en cherchant la sensibilité minimum pour un BER donné à partir de la Figure 22. Nous avons considéré un temps de mesure de 10 ns et un détecteur précédé d'un LNA idéal de gain de 30 dB (facteur de bruit nul). Le pas de variation, lors du calcul du seuil et de l'amplitude minimum de l'impulsion à fournir au détecteur, a été fixé à respectivement 10^{-4} V et 10^{-3} V. Pour calculer la portée nous avons considéré un générateur émettant une impulsion ayant une amplitude pic-pic de 1.2 Volt

BER	S_D (mV)	Amplitude Impulsion en entrée du détecteur (mv)	Amplitude Impulsion en entrée du récepteur (LNA 30 dB NF=0) (μ V)	Distance communication (m)	Energie Impulsion W_s ($J \cdot 10^{-20}$)	W_s/N_0 (dB)
10-4	6.9	14	443	4.8	79	22.9
10-3	6.4	12	379	5.6	58	21.6
10-2	5.9	11	348	6	49	20.9
10-1	5.3	10	316	6.7	40	20

Tableau 11 : Sensibilité du détecteur/ récepteur et prévision de distance de communication pour différents BER.

Le Tableau 11 montre qu'un système comprenant un détecteur d'enveloppe permet de détecter des impulsions de 379μ V pour une probabilité d'erreur typique de 10^{-3} . Cela correspond à une portée de 5.6 mètres.

- **Influence du temps de mesure**

Le second paramètre qui influence la probabilité d'erreur de détection est le temps de mesure. Le Tableau 12 montre l'influence du temps de mesure de l'impulsion pour un BER de 10^{-3} et en supposant que le détecteur est précédé d'un LNA idéal de gain 30 dB. Les pas de variation lors du calcul du seuil et de l'amplitude minimum de l'impulsion à fournir au détecteur ont été fixés à respectivement 10^{-4} V et 10^{-3} V. Pour calculer la portée nous avons considéré un générateur émettant une impulsion ayant une amplitude pic-pic de 1.2 Volt

Temps de mesure	Débit max	S_D (mV)	Amplitude Impulsion en entrée du détecteur (mv)	Amplitude Impulsion en entrée du récepteur (LNA 30 dB NF=0) (μ V)	Distance communication (m)	Energie Impulsion W_s ($J \cdot 10^{-20}$)	W_s/N_0 (dB)
1ns	1GHz	5.9	11	348	6	49	20.9
10ns	100MHz	6.4	12	379	5.6	58	21.6
100ns	10MHz	6.9	13	411	5.1	68	22.3
1u	1Mhz	7.4	13	411	5.1	68	22.3

Tableau 12 : Influence du temps de mesure sur la valeur de seuil de décision, l'amplitude minimale de l'impulsion pour un BER de 10-3

Le Tableau 12 montre que comme pour les détecteurs d'énergie, il est préférable de fenêtrer l'impulsion pour réduire au minimum le temps de mesure autour de celle-ci. En ne mesurant l'impulsion qu'au moment où celle-ci peut apparaître et pendant sa durée (1 ns), il est possible de réduire la valeur du seuil à 5.9 mV et ainsi détecter des impulsions ayant une amplitude de seulement 11 mV qui correspond à une portée de 6m avec un LNA de 30dB.

- **Influence du facteur de bruit**

Le dernier point jouant sur la probabilité d'erreur de détection est le facteur de bruit du LNA. Le Tableau 13 présente son influence pour un temps de mesure fixé à 10 ns et un BER de 10^{-3} . Le détecteur est précédé d'un LNA de 30 dB de gain. Les pas de variation lors du calcul du seuil et de l'amplitude minimum de l'impulsion à fournir au détecteur ont été fixés à respectivement 10^{-4} V et 10^{-3} V. Pour calculer la portée nous avons considéré un générateur émettant une impulsion ayant une amplitude pic-pic de 1.2 Volt

NF (dB)	S_D (mV)	Amplitude Impulsion en entrée du détecteur (mv)	Amplitude Impulsion en entrée du récepteur (LNA 30 dB) (μV)	Distance communication (m)	Energie Impulsion W_s ($J \cdot 10^{-20}$)	W_s/N_0 (dB)
0	6.4	12	379	5.6	58	21.6
2	8.1	15	474	4.4	91	23.6
4	10.2	19	601	3.5	146	25.6
6	12.8	24	759	2.8	232	27.7
8	16.1	30	949	2.2	364	29.6

Tableau 13 : Valeur de seuil de détection et d'énergie d'impulsion à fournir pour un BER de 10⁻³, un temps d'intégration de 10 ns et un facteur de bruit donné.

Le Tableau 13 montre que comme pour les détecteurs d'énergie, le facteur de bruit du LNA précédant le détecteur a une grande influence sur la sensibilité et donc la portée.

Cas d'un détecteur de crête ECC 6 – 8.5 GHz

Nous ne reprenons pas l'étude faite au paragraphe précédent sur l'influence du temps de mesure et du facteur de bruit sur les performances du récepteur. Les conclusions pour un détecteur FCC sont les mêmes pour un détecteur ECC. Dans ce paragraphe, nous cherchons uniquement pour un BER donné, le seuil optimal de détection permettant de maximiser la sensibilité du détecteur. A partir de ces résultats, une distance théorique de communication est calculée.

La première étape pour calculer la probabilité d'une erreur de détection consiste à échantillonner l'impulsion ECC à la fréquence de Nyquist. La fréquence maximale d'une impulsion ECC étant 8.5 GHz, l'impulsion est échantillonnée à la fréquence de 17 GHz. L'échantillonnage d'une impulsion ECC et le signal échantillonné sont représentés sur la Figure 23. L'impulsion ECC étant plus étalée dans le temps qu'une impulsion FCC, l'instant de démarrage de l'échantillonnage influe moins sur l'amplitude maximum de l'impulsion et la précision de la méthode proposée est meilleure que dans le cas de l'impulsion FCC.

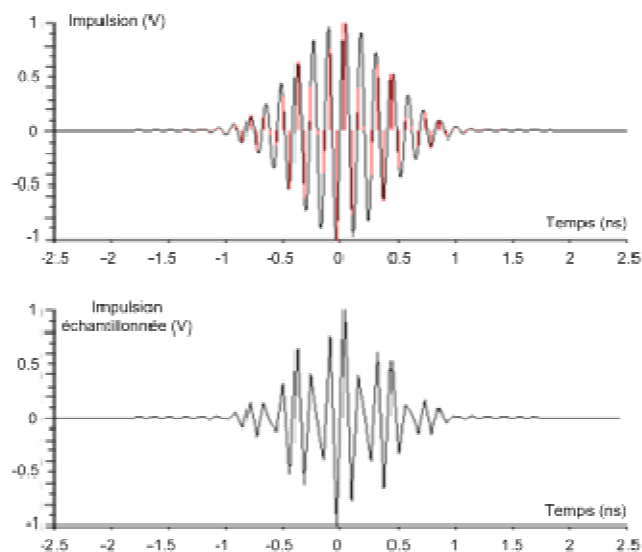


Figure 23 : Echantillonnage de l'impulsion à la fréquence de Nyquist (17 GHz)

A partir de l'impulsion échantillonnée et connaissant la valeur efficace du bruit entrant dans le détecteur (45), il est possible de calculer la probabilité d'une erreur de détection en fonction du seuil

du détecteur choisi, de l'amplitude de l'impulsion qui entre dans le récepteur, du gain du LNA et du facteur de bruit du LNA. Le Tableau 14 montre les valeurs des seuils optimaux et les sensibilités de réception correspondantes obtenues pour différentes probabilités d'erreurs. Le temps de mesure a été fixé à 10 ns. Nous avons également supposé que le détecteur était précédé d'un LNA idéal de gain de 30 dB. Les pas de variation lors du calcul du seuil et de l'amplitude minimum de l'impulsion à fournir au détecteur ont été fixés à 10^{-4} V. La distance de communication est calculée en considérant un générateur fournissant des impulsions de 1.2 Vpp.

BER	S_D (mV)	Amplitude Impulsion en entrée du détecteur (mv)	Amplitude Impulsion en entrée du récepteur (LNA 30 dB NF=0) (μ V)	Distance communication (m)	Energie Impulsion W_s ($J \cdot 10^{-20}$)	W_s/N_0 (dB)
10-4	4	6.1	193	10.2	50	21
10-3	3.7	5.6	177	11.1	42	20.2
10-2	3.4	5	158	12.5	34	19.3
10-1	3.1	4.3	136	14.5	25	18

Tableau 14 : Sensibilité du détecteur/ récepteur et prévision de distance de communication pour différents BER.

Pour une valeur typique de BER de 10^{-3} et avec un temps de mesure du signal de 10 ns, un détecteur de crête permet de détecter des impulsions ayant une amplitude minimale de 177 μ V correspondant à des impulsions ayant une énergie de $50 \cdot 10^{-20}$ Joule. Cela correspond à une distance théorique de communication de 11.1 mètres avec un générateur fournissant des impulsions de 1.2 Vpp. Cette distance est sensiblement plus importante que celle obtenue avec un récepteur utilisant la totalité de la bande FCC car la puissance de bruit, qui dépend linéairement de la bande passante, est plus faible et car on travaille à amplitude crête d'émission constante.

Cas d'un détecteur d'enveloppe fonctionnant avec des impulsions de 500 MHz de bande passante centrées autour de 4 GHz

Dans ce paragraphe, nous étudions les performances d'un récepteur comprenant un détecteur de crête destiné à des impulsions de 500 MHz de bande passante centrées autour de 4 GHz. Comme pour le paragraphe précédent, nous cherchons uniquement le seuil de détection optimal du détecteur d'énergie permettant de maximiser la sensibilité. A partir de ces résultats, une distance théorique de communication est calculée pour un système fonctionnant à 4 GHz de 500 MHz de bande passante.

La première étape pour calculer la probabilité d'une erreur de détection consiste à échantillonner l'impulsion à la fréquence de Nyquist. A partir de l'impulsion échantillonnée et connaissant la valeur efficace du bruit entrant dans le détecteur (45), il est possible de calculer la probabilité d'une erreur de détection en fonction du seuil du détecteur choisi, de l'amplitude de l'impulsion qui entre dans le récepteur, du gain du LNA et du facteur de bruit du LNA. Le Tableau 15 montre les valeurs des seuils optimaux et les sensibilités de réception correspondantes obtenues pour des probabilités d'erreurs différentes. Le temps de mesure a été fixé à 10 ns. Nous avons également supposé que le détecteur était précédé d'un LNA ayant un gain de 30 dB et un facteur de bruit nul. Le pas de variation lors du calcul du seuil et de l'amplitude minimum de l'impulsion à fournir au détecteur a été fixé à 10^{-4} V. La distance de communication est calculée en considérant un générateur fournissant des impulsions de 1.2 Vpp.

BER	S_D (mV)	Amplitude Impulsion en entrée du détecteur (mv)	Amplitude Impulsion en entrée du récepteur (LNA 30 dB NF=0) (μ V)	Distance communication (m)	Energie Impulsion W_s ($J \cdot 10^{-20}$)	W_s/N_0 (dB)
10-4	1.8	2.3	72	49.7	38	19.8
10-3	1.6	2	63	56.8	29	18.6
10-2	1.5	1.8	57	62.8	24	17.8
10-1	1.3	1.5	47	76.2	16	16.1

Tableau 15 : Sensibilité du détecteur/ récepteur et prévision de distance de communication pour différents BER.

En fixant un temps de mesure du signal à 10 ns et un BER de 10^{-3} , un détecteur de crête permet de détecter des impulsions ayant une amplitude minimale de 63 μ V correspondant à des impulsions ayant une amplitude de $29 \cdot 10^{-20}$ Joule. Une distance théorique de communication de 56.8 mètres peut être atteinte entre un détecteur de crête et un générateur fournissant des impulsions de 1.2 Vpp.

III.3.d. Conclusion

Dans ce paragraphe, nous avons évalué la sensibilité des détecteurs de crête destinés aux applications ULB. Nous avons mis en évidence les principaux paramètres ayant une influence sur la sensibilité. La bande passante reste toujours un paramètre très influent sur la sensibilité du détecteur. Hormis la bande passante du système, les paramètres influents sont le temps de mesure du signal et le facteur de bruit du LNA.

Concernant la portée, les performances des détecteurs d'enveloppe sont inférieures à celles des détecteurs d'énergie. Néanmoins nos estimations montrent qu'avec un générateur émettant des impulsions de 1.2 Vpp et un récepteur comprenant un détecteur d'enveloppe, il est possible de réaliser une communication allant jusqu'à 5.6, 11.1 et 56.8 mètres pour respectivement les bandes de fréquences correspondant aux normes FCC et ECC et un canal de 500 MHz compris entre 3 et 5 GHz. Ces performances peuvent être suffisantes pour les applications visées. En particulier pour les applications WBAN qui ne nécessitent pas des portées importantes. Notons qu'il est possible d'augmenter la portée de ces systèmes en utilisant des générateurs capables d'émettre des impulsions dépassant les 1.2 Vpp.

III.4. **Conclusion**

Dans cette partie nous avons proposé une modélisation simple des récepteurs à détection d'énergie et à détection de crête. Cette étude nous a permis de relier, dans le cas des signaux ULB les plus courants, la portée de communication et la sensibilité du récepteur à la bande passante du récepteur, à son facteur de bruit et à la durée de mesure ou fenêtrage.

Comme le montre la Figure 24, les détecteurs d'énergie présentent une meilleure sensibilité de réception que les détecteurs de crête à énergie de réception égale. La sensibilité des détecteurs d'énergie est très dépendante de la bande passante du bruit. Si le paragraphe III.3 a montré que la sensibilité (en tension) des détecteurs de crête dépendait fortement de la bande de bruit, la Figure 24 montre que la sensibilité en énergie est moins dépendante à ce paramètre. En effet, dans le cas de signaux où l'étalement temporel est important (ECC et FCC), un grand nombre d'alternances de l'impulsion ne sont d'aucune utilité à la détection du signal.

Il apparaît que les récepteurs à détection d'énergie et à détection de crête permettent de réaliser des communications à courte et moyenne portée (entre quelques mètres et quelques dizaines de mètres) selon la bande passante des signaux utilisée avec un générateur fournissant des impulsions de 1.2 Vpp. Aux bas débits de communication l'utilisation d'un fenêtrage permet une augmentation sensible des performances avec, en outre, un effet bénéfique sur la consommation de puissance.

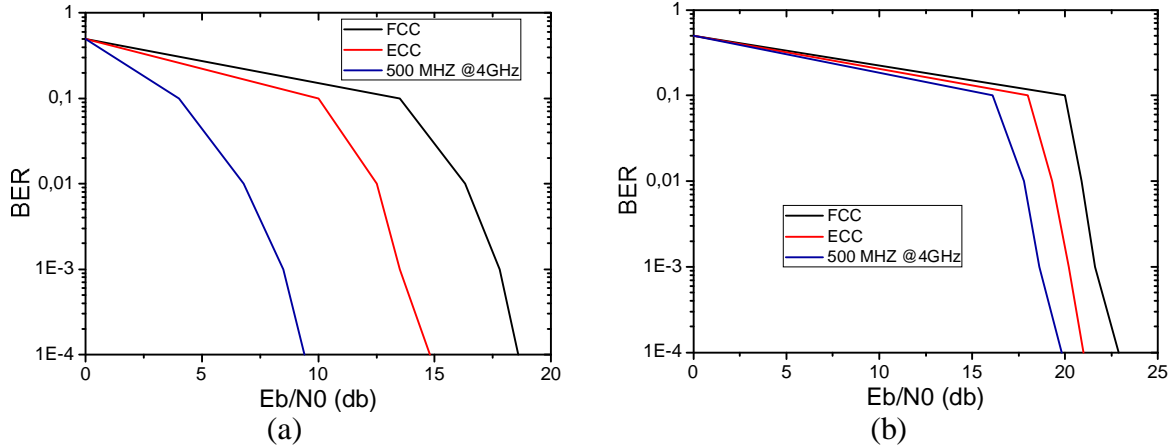


Figure 24 : BER en fonction de l' E_b/N_0 pour un temps d'intégration (de fenêtrage) de 10ns. (a) d'un détecteur d'énergie, (b) d'un détecteur de crête

IV. Conception d'un détecteur d'impulsions ULB

IV.1. Introduction

Bien qu'étant moins performants que les détecteurs d'énergie, les détecteurs de crête peuvent convenir pour des applications qui ne nécessitent pas de portée importante et ils présentent l'avantage d'une architecture très simple ne nécessitant pas obligatoirement d'organe de synchronisation. Nous présentons dans cette partie les résultats d'un détecteur dont le principe est basé sur la détection de crête.

IV.2. Résultats

Le détecteur a été simulé avec des impulsions de bande passante compatible avec les différentes bandes de fréquence ULB. Pour être comparé avec d'autres détecteurs ULB, on a supposé l'ajout d'un LNA de 30 dB avec un facteur de bruit de 5dB en amont du détecteur. En entrée du détecteur, nous avons ainsi injecté une impulsion ULB additionnée avec un bruit ayant une puissance valant :

$$P_{\text{bruit_dBm}} = -174 + 10\log B + 30 + 5 \quad (65)$$

Avec B valant 7.5 GHz, 2.5 GHz et 500 MHz pour respectivement les applications FCC, ECC et celles utilisant des canaux de 500 MHz dans la bande 3 - 5 GHz. Ces simulations, qui sont effectuées dans le domaine temporel, ne permettent pas d'obtenir une valeur précise du BER notamment. En effet la mesure ou la simulation d'un BER de faible valeur (typiquement 10^{-3}) nécessite le traitement d'un nombre considérable d'échantillons incompatible avec une simulation temporelle si l'on veut obtenir une valeur avec un bon taux de confiance. Les résultats de sensibilité obtenus en simulation présentés ci-après sont des estimations obtenues avec une simulation comprenant quelques centaines de bits.

Les performances de ce récepteur sont présentées dans le Tableau 16 et sont comparées avec celles d'autres récepteurs publiés. Les résultats montrent une sensibilité de réception peu dépendante des bandes passantes considérées bien que le bruit injecté en entrée soit différent. Ces estimations se rapprochent des résultats théoriques d'un détecteur de crête présentés sur la Figure 24. En revanche, la sensibilité en amplitude crête, varie avec la bande passante considérée. Nous estimons en simulation une sensibilité en amplitude crête de 7.1 mV, 6.2 mV et 2.7mV pour respectivement les bandes FCC, ECC et un canal de 500 Mhz dans la bande 3 - 5 GHz.

Récepteur	Ce détecteur ³			[8]	[9]	[11]	[13]	[14] ³	[16]
Architecture	DC			SR	SR	DE	DE	DE	VA
Alimentation	1.2	1.2	1.2	1.5	1.2	0.65	0.6	1.8	1
Techno. (nm)	130	130	130	180	130	90	90	180	90
Gain LNA	30	30	30	NC	15	40	40	28	35
Bande passante (GHz)	7.5	2.5	0.5	0.5	1	0.5	0.5	1.25	0.5
Frequence (GHz)	FCC	ECC	4	3.8	3.5	3.9	4	7.25 - 8.5	3.5 ou 4.5
Récepteur Sensibilité @1Mbps	-100 dBm	-98 dBm	-98 dBm	-91 dBm ¹	-99 dBm ¹ @100Ω	-89 dBm ¹	-88 dBm ¹	-79 dBm ¹	-71 dBm ¹
Detecteur Sensibilité @1Mbps	-70 dBm	-68 dBm	-68 dBm	NC	-84 dBm ¹ @100Ω	-49 dBm ¹	-48 dBm ¹	-51 dBm ¹	-36 dBm ¹
Conso. (mW)	8.4 ² @1Mbps	8.4 ² @1Mbps	8.4 ² @1Mbps	11.25	11.16	35 ON 3.5.10 ⁻³ OFF	22.5	4.5	10.5 ON (14.3μW @ 100 kbps)
Taille (mm ²)	0.25 ²	0.25 ²	0.25 ²	2.25	3.4	2.2	2.6	NC	2.3
Débit Max Mbps	100	100	100	NC	10	16.7	16	0.1	NC
Energie conso. par bit (nJ/bit)	0.084 ²	0.084 ²	0.084 ²	NC	1.12	2.5	1.4	54	0.14

Tableau 16 : Performances du récepteur présenté comparées à d'autres récepteurs

¹ sensibilité extrapolée des publications et ramenée à un débit de 1 Mbps

² détecteur uniquement

³ simulation

⁴ SR (super régénérative), DE (détecteur d'énergie), VA (variante multiplieur + détecteur de crête), DC détecteur de crête

Le détecteur a été réalisé dans une technologie CMOS 130nm. La photographie de la puce réalisée est présentée sur la Figure 25. La consommation du détecteur est de 8.4mW@1Mbps. Dans le cas où le rapport signal à bruit est important, il est possible de diviser cette consommation par deux en ne détectant que la partie positive ou négative de l'impulsion. Le détecteur occupe une place de 250 μm² en incluant les capacités de découplage. Sur la Figure 26 est représentée la sortie du détecteur lorsque l'on injecte en entrée des impulsions FCC à un débit de 50 MHz.

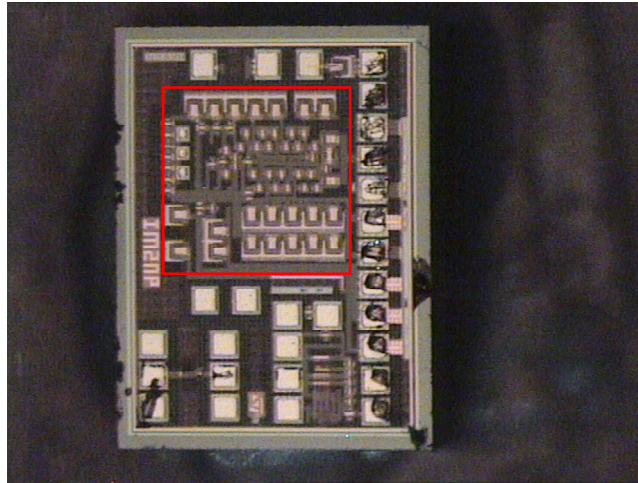


Figure 25 : Photographie du détecteur

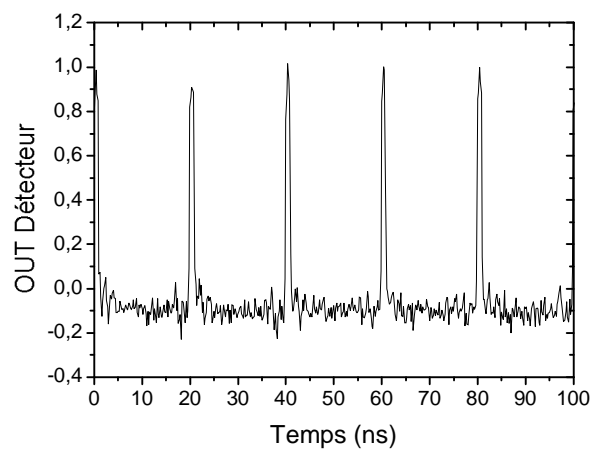


Figure 26 : Sortie du détecteur d'impulsion (entrée impulsion FCC à 50 MHz)

Nous avons utilisé le générateur FCC présenté au chapitre I et un atténuateur pour tester le détecteur. Nous avons pu détecter des impulsions de 40 mVpp. De cette valeur, nous déduisons une sensibilité de détection de $-64\text{dBm}@1\text{Mbps}$. Cette valeur est supérieure à ce qui était prévu en simulation et provient du fait que nous n'avons pas pu régler les tensions de polarisation aux valeurs prévues en simulation car le détecteur devenait instable lorsque les seuils étaient réglés autour des seuils optimaux (oscillation à 40 MHz). La Figure 27 montre l'oscillation mesurée en entrée du système. Une oscillation de même fréquence est présente sur la tension d'alimentation et sur les tensions de contrôle. En sortie, nous avons également mesuré un signal carré de fréquence 40 MHz.

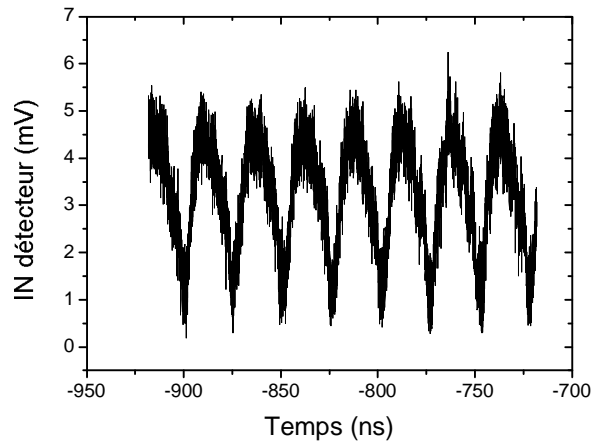


Figure 27 : Oscillation mesurée à l'oscilloscope sur l'entrée

Des simulations post layout ont permis de trouver une cause possible à ces oscillations. Un découplage insuffisant en basse fréquence de la tension d'alimentation a été mis en évidence. Au chapitre IV, nous présentons un récepteur complet qui utilise ce détecteur d'impulsion et les solutions proposées pour éviter ces oscillations.

V. Conclusion

Ce chapitre a été consacré à l'étude des architectures pour la détection des signaux ULB de type impulsionnel.

Dans une première partie, une analyse de l'état de l'art nous a permis de mettre en évidence les caractéristiques dominantes des différentes architectures utilisées dans la bande de fréquence 3.1 - 10.6 GHz. Il apparaît clairement que seule la famille des récepteurs non cohérents peut répondre aux besoins d'applications nécessitant un faible coût de fabrication et une faible consommation de puissance associée à des débits de communication faibles ou modérés. Dans cette catégorie de détecteurs, les récepteurs à super régénération montrent les meilleures performances concernant la sensibilité et l'énergie consommée pour la détection d'un bit. Néanmoins les récepteurs à détection d'énergie, qui ont des performances moindres en termes de sensibilité, offrent comme avantage une architecture très simple où il est possible de mettre en œuvre une gestion d'alimentation qui consiste à éteindre le récepteur entre deux impulsions reçues. Deux récepteurs à détection d'énergie utilisant cette technique ont démontré les meilleures performances concernant la consommation de puissance pour des faibles débits de communication.

Dans la deuxième partie nous avons proposé une analyse théorique simple et compréhensive de la détection des signaux ULB impulsionnels avec une détection d'énergie ou avec une détection de crête. Nous avons mis en évidence l'effet des différents paramètres du système de réception (bande passante, facteur de bruit du LNA, temps de mesure) sur le taux d'erreur binaire et sur la portée de communication. Il apparaît que la détection de crête, bien qu'ayant des performances en retrait par rapport à la détection d'énergie, autorise des portées suffisantes pour certaines applications.

Dans la dernière partie nous avons proposé une architecture de détecteur d'impulsions ULB basée sur le principe de la détection de crête. Le détecteur, réalisé dans une technologie CMOS 130nm, présente une sensibilité de $-64\text{dBm}@1\text{Mbps}$ pour une consommation de $8.4\text{mW}@1\text{Mbps}$. Il peut être utilisé jusqu'à des débits de 100 Mbps où il présente une consommation de 84 pJ/bit.

- [1] Yuanjin Zheng; Yan Tong; Chyuen Wei Ang; Yong-Ping Xu; Wooi Gan Yeoh; Lin, F.; Singh, R.; "A CMOS Carrier-less UWB Transceiver for WPAN Applications," *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, vol., no., pp.378-387, 6-9 Feb. 2006
- [2] Zhang, F.; Gharpurey, R.; Kinget, P.; "A 3.1–9.5 GHz agile UWB pulse radio receiver with discrete-time wideband-IF correlation in 90nm CMOS," *Radio Frequency Integrated Circuits Symposium, 2008. RFIC 2008. IEEE*, vol., no., pp.31-34, June 17 2008-April 17 2008
- [3] Masson, G.; Morche, D.; Jacquinet, H.; Vincent, P.; Dehmas, F.; Paquelet, S.; Bisiaux, A.; Fourquin, O.; Gaubert, J.; Bourdel, S.; "A 1 nJ/b 3.2-to-4.7 GHz UWB 50 Mpulses/s double quadrature receiver for communication and localization," *ESSCIRC, 2010 Proceedings of the*, vol., no., pp.502-505, 14-16 Sept. 2010
- [4] Ryckaert, J.; Badaroglu, M.; De Heyn, V.; Van der Plas, G.; Nuzzo, P.; Baschiroto, A.; D'Amico, S.; Desset, C.; Suys, H.; Libois, M.; Van Poucke, B.; Wambacq, P.; Gyselinckx, B.; "A 16mA UWB 3-to-5GHz 20Mpulses/s Quadrature Analog Correlation Receiver in 0.18/spl mu/m CMOS," *Solid-State Circuits Conference, 2006. ISSCC 2006. Digest of Technical Papers. IEEE International*, vol., no., pp.368-377, 6-9 Feb. 2006
- [5] Van Helleputte, N.; Verhelst, M.; Dehaene, W.; Gielen, G.; "A Reconfigurable, 130 nm CMOS 108 pJ/pulse, Fully Integrated IR-UWB Receiver for Communication and Precise Ranging," *Solid-State Circuits, IEEE Journal of*, vol.45, no.1, pp.69-83, Jan. 2010
- [6] Yuan Gao; Yuanjin Zheng; Chun-Huat Heng; "Low-Power CMOS RF front-end for non-coherent IR-UWB receiver," *Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European*, vol., no., pp.386-389, 15-19 Sept. 2008
- [7] Armstrong, E.H.; "Some Recent Developments of Regenerative Circuits," *Proceedings of the IRE*, vol.10, no.4, pp. 244- 260, Aug. 1922
- [8] Thoppay, P.E.; Dehollain, C.; Declercq, M.J.; "A 7.5mA 500 MHz UWB receiver based on super-regenerative principle," *Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European*, vol., no., pp.382-385, 15-19 Sept. 2008
- [9] Pelissier, M.; Morche, D.; Vincent, P.; "Super-Regenerative Architecture for UWB Pulse Detection: From Theory to RF Front-End Design," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol.56, no.7, pp.1500-1512, July 2009
- [10] Anis, M.; Tielert, R.; Wehn, N.; "Super-regenerative UWB impulse detector with synchronized quenching mechanism," *Solid-State Circuits Conference, 2008. ESSCIRC 2008. 34th European*, vol., no., pp.390-393, 15-19 Sept. 2008
- [11] Lee, F.S.; Chandrakasan, A.P.; "A 2.5 nJ/bit 0.65 V Pulsed UWB Receiver in 90 nm CMOS," *Solid-State Circuits, IEEE Journal of*, vol.42, no.12, pp.2851-2859, Dec. 2007
- [12] Gunhee Han; Sanchez-Sinencio, E.; "CMOS transconductance multipliers: a tutorial," *Circuits and Systems II: Analog and Digital Signal Processing, IEEE Transactions on*, vol.45, no.12, pp.1550-1563, Dec 1998

- [13] Daly, D.C.; Mercier, P.P.; Bhardwaj, M.; Stone, A.L.; Aldworth, Z.N.; Daniel, T.L.; Voldman, J.; Hildebrand, J.G.; Chandrakasan, A.P.; "A Pulsed UWB Receiver SoC for Insect Motion Control," *Solid-State Circuits, IEEE Journal of*, vol.45, no.1, pp.153-166, Jan. 2010
- [14] Gerosa, A.; Solda, S.; Bevilacqua, A.; Vogrig, D.; Neviani, A.; "An Energy-Detector for Noncoherent Impulse-Radio UWB Receivers," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol.56, no.5, pp.1030-1040, May 2009
- [15] Dehaese, N.; Battista, M.; Vauché, R.; Bourdel, S.; Gaubert, J.; Fourquin, O.; Tall, N.; "Low-power CMOS energy detector for noncoherent impulse-radio UWB receivers," *Ultra-Wideband (ICUWB), 2010 IEEE International Conference on*, vol.1, no., pp.1-4, 20-23 Sept. 2010
- [16] Dokania, R.K.; Wang, X.Y.; Tallur, S.G.; Apsel, A.B.; "A Low Power Impulse Radio Design for Body-Area-Networks," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol.58, no.7, pp.1458-1469, July 2011
- [17] Dokania, R.; Wang, X.; Tallur, S.; Dorta-Quinones, C.; Apsel, A.; "An Ultralow-Power Dual-Band UWB Impulse Radio," *Circuits and Systems II: Express Briefs, IEEE Transactions on*, vol.57, no.7, pp.541-545, July 2010
- [18] Yuanjin Zheng; Yan Tong; Jiangnan Yan; Yong-Ping Xu; Wooi Gan Yeoh; Fujiang Lin; "A low power noncoherent CMOS UWB transceiver ICs," *Radio Frequency integrated Circuits (RFIC) Symposium, 2005. Digest of Papers. 2005 IEEE*, vol., no., pp. 347- 350, 12-14 June 2005
- [19] Humblet, P.A.; Azizoglu, M.; "On the bit error rate of lightwave systems with optical amplifiers," *Lightwave Technology, Journal of*, vol.9, no.11, pp.1576-1582, Nov 1991
- [20] J. G. Proakis, "Digital Communications"
- [21] Dehaese, N.; Battista, M.; Vauché, R.; Bourdel, S.; Gaubert, J.; Fourquin, O.; Tall, N.; "Low-power CMOS energy detector for noncoherent impulse-radio UWB receivers," *Ultra-Wideband (ICUWB), 2010 IEEE International Conference on*, vol.1, no., pp.1-4, 20-23 Sept. 2010

CHAPITRE III

INTEGRATION DES RECEPTEURS ULB NON COHERENTS

Sommaire

I.	Introduction	99
II.	Etat de l'art sur des LNA ULB pour la bande 3-10GHz.....	100
II.1.	LNA distribués	100
II.2.	LNA à contre réaction	103
II.3.	LNA à grille commune.....	110
II.4.	Amplificateurs à cellule d'adaptation de type LC passe-bande	112
III.	Intégration de LNA et de récepteurs ULB dans la bande 3 - 10 GHz	115
III.1.	Conception d'une interface active circuit imprimé – puce à partir d'une topologie à grille commune	115
III.2.	Conception d'un LNA passe bas à partir de l'interface active à topologie grille commune.....	119
III.3.	LNA source commune adaptés par cellules LC passe-bande.....	123
III.3.a.	LNA ULB pour de grandes bandes passantes relatives.....	123
III.3.b.	Réalisation d'un LNA pour la norme ECC 6 - 8.5 GHz.....	129
III.4.	Intégration d'un récepteur ULB pour la bande de fréquences 3.1 - 10.6 GHz	135
III.4.a.	Architecture du récepteur	135
III.4.b.	Intégrité du signal	135
III.4.c.	Résultats de simulation et performances	137
IV.	Conclusion	140
V.	Annexe	145
V.1.	Structures d'inverseurs d'admittances	145
V.1.a.	Inverseur d'admittance inductif	145
V.1.b.	Inverseur d'admittance capacitif	145
V.1.c.	Inverseur d'admittance par une ligne $\lambda/4$	146
V.2.	Démonstration résistance de sortie.....	147

I. Introduction

Les architectures des récepteurs non cohérents ont été analysées au chapitre précédent. L'architecture d'un récepteur à détection d'énergie ou à détection d'amplitude est relativement simple et fait apparaître deux blocs principaux pour la partie analogique radiofréquence : le détecteur qui a été étudié au chapitre précédent et l'amplificateur faible bruit (LNA). Lorsque le récepteur est intégré sous la forme d'un "System in Package" comprenant une antenne et un circuit intégré analogique incluant le LNA et le détecteur, le LNA doit assurer trois fonctions principales : (i) l'interface avec l'antenne et son interconnexion, (ii) l'amplification du signal reçu permettant un bon traitement par le détecteur et (iii) la réduction de la puissance de bruit ou de la tension de bruit présentée en entrée du détecteur qui rejaillit directement sur la portée de la communication pour une puissance d'émission donnée. Le rôle d'interfaçage exige que l'impédance d'entrée du LNA soit égale à 50Ω pour assurer une bonne adaptation d'impédance avec l'antenne et son interconnexion. En pratique le bon fonctionnement des détecteurs d'énergie ou d'amplitude exige des niveaux d'amplification élevés supérieurs à quelques dizaines de dB. La réduction de l'effet du bruit demande un facteur de bruit faible et une bande équivalente de bruit réduite au maximum tout en respectant la bande passante utilisée par le signal.

Dans le contexte particulier des applications faible coût, la mise en œuvre technologique du récepteur qui a un fort impact sur le coût de fabrication, est un élément de toute première importance. L'utilisation d'une technologie CMOS standard pour l'intégration de la partie analogique du récepteur avec une occupation de surface faible ainsi qu'une technologie de report et d'interconnexions utilisant des procédés industriels standards permettent d'obtenir des niveaux de coût de fabrication compatibles avec les applications visées.

Nous présentons dans la première partie de ce chapitre un état de l'art des amplificateurs faible bruit pour la bande FCC. Nous étudierons les quatre topologies principales de LNA présentes dans la littérature : (i) les LNAs distribués, (ii) les LNAs à contre réaction, (iii) les LNAs à grille commune, (iv) les LNAs à source commune à cellule d'adaptation de type LC passe-bande. L'objectif sera de dégager les aptitudes de ces architectures dans notre cadre d'application où les critères de performances principaux sont l'aptitude à réaliser le meilleur compromis gain / bruit / bande équivalente de bruit / occupation de surface.

Dans la deuxième partie du chapitre, nous présentons différentes réalisations de LNA pour les principales bandes de fréquences ULB. Comme nous l'avons fait pour les générateurs d'impulsions, lorsque cela est possible, la transition puce - circuit imprimé a été intégrée à la cellule d'adaptation du LNA. Dans le cas contraire le LNA a été connecté avec la transition passe bas étudiée au chapitre I et nous étudierons l'effet de cette interconnexion sur ses performances.

Dans la dernière partie, nous présentons la conception d'un récepteur pour les applications FCC. Nous présentons notamment les problèmes posés par l'interfaçage entre le LNA et le détecteur et les solutions adoptées.

II. Etat de l'art sur des LNA ULB pour la bande 3-10GHz

II.1. LNAs distribués

Le principe des amplificateurs distribués, qui a été formulé dès 1936 par Percival [1], est décrit sur la Figure 1. Chaque OTA injecte sur la ligne de sortie un courant image de la tension d'entrée. En additionnant en phase tous les courants injectés dans la ligne de sortie, une amplification du signal d'entrée est obtenue sur une bande de fréquence très importante. Le gain en puissance d'un amplificateur distribué idéal a été calculé en [2] [3] et est donné par la relation (1).

$$G = \left(\frac{N \cdot g_m \cdot Z_0}{2} \right)^2 \quad (1)$$

Avec N le nombre d'étages, g_m le gain d'un OTA et Z_0 la valeur de l'impédance caractéristique des lignes.

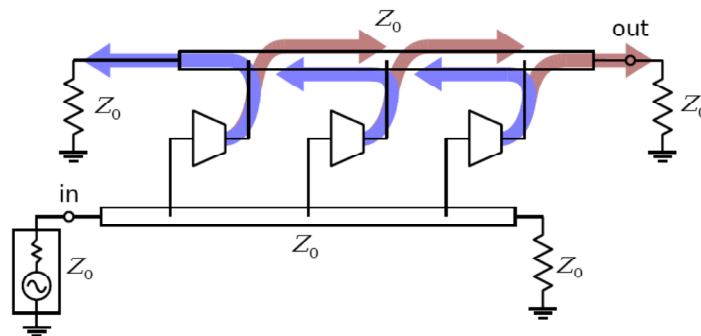


Figure 1 : Principe d'un LNA distribué à 3 étages [4]

La bande passante d'un amplificateur distribué peut être très grande car les capacités parasites des transistors peuvent être absorbées par les lignes de transmission d'entrée et de sortie. Dans la gamme de fréquence ULB 3.1 - 10.6 GHz, les lignes sont généralement synthétisées par des éléments LC (Figure 2) en respectant la relation (2). Le gain de l'amplificateur est alors limité par la résistance série des inductances et par conséquent il existe un nombre optimum d'étages dépendant de la technologie permettant de maximiser le gain. L'utilisation d'éléments LC réduit également la bande passante de l'amplificateur. La fréquence de coupure maximale de l'amplificateur est donnée par la relation (3).

$$Z_c = \sqrt{\frac{L}{C}} \quad (2)$$

$$f_c = \frac{1}{\pi \sqrt{LC}} \quad (3)$$

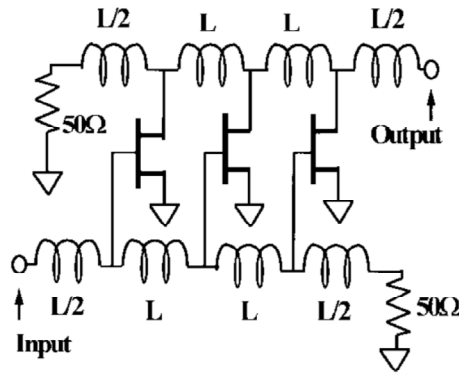


Figure 2 : Principe d'un LNA distribuée 3 étages avec lignes synthétisées [3]

Le Tableau 1 résume les performances de quelques réalisations de LNAs distribués dans la bande FCC. De manière générale, ce type de LNA présente les caractéristiques suivantes : (i) un gain constant dans une grande bande passante, (ii) un gain relativement faible en comparaison des autres topologies car il résulte de l'addition et non du produit de l'amplification des étages élémentaires, (iii) une taille de circuit relativement importante dû au nombre d'inductances nécessaires à la synthèse des lignes. Par exemple, en [4] les auteurs ont obtenu un gain variant de moins de 1 dB dans 21 GHz de bande passante (Cf. Figure 3).

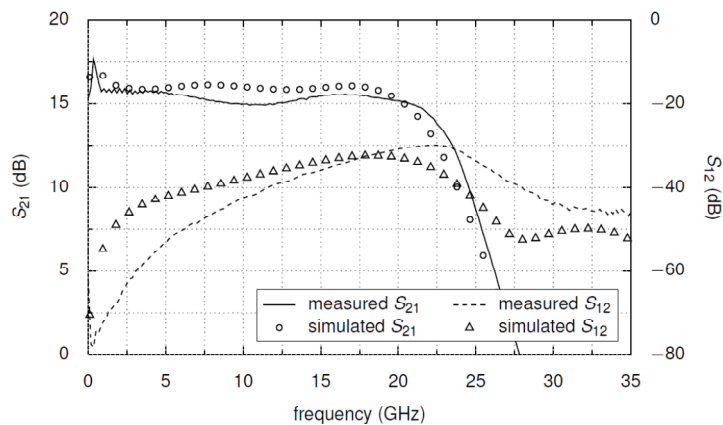


Figure 3 : Gain du LNA présenté en [4]

Ref	Techno. (μm)	Vdd (V)	Freq. (GHz)	Max S11 (dB)	Gain (dB)	NF (dB)	P _{1dB} (dBm)	IIP3 (dBm)	Taille (mm ²)	Conso. (mW)	Package
[3]	CMOS 0.8	3	3.10 ⁻⁴ - 3	-9	5	5.1	7	15	0.23	54	Boitier SSOP-24
[4]	CMOS 0.09	NC	DC - 21	-6.5	15.4	1.8 - 4.7	NC	-6.6	0.41	12.5	Non
[5]	CMOS 0.18	1.3	0.04 - 6.2	-16	8	4.2 - 6.2	-8.5	3	1.16	9	Non
[6]	CMOS 0.18	0.6	2.7 - 9.1	-10	10	4.7	NC	0	1.57	7	Non
[7]	SiGe 0.35	3	0.5 - 5.5	-10	6.9	3.2	2.5	8	NC	82.5	Non
[8]	CMOS 0.13	1	DC - 12	-12	15	2.3 - 4.5	3.5	4.5	0.44	26	ESD
[9]	CMOS 0.18	1.5	0.5 - 7	-6	6.3	6	NC	10	0.33 ¹	27.6	Non
[10] ²	CMOS 0.18	1.8	DC - 17	-13	8	3.4 - 5	NC	NC	0.39	34.2	Non

Tableau 1 : Etat de l'art sur les LNAs distribués

¹ partie active et circuits de polarisation exclus

² simulation

En [9], les auteurs ont réduit la taille du LNA en utilisant des inductances dites "multiports" (Figure 4). Par une réalisation croisée des inductances, quatre inductances ont pu être obtenues pour la taille de deux inductances. Cependant le couplage entre ces inductances est important (Figure 5). Il en résulte un gain non constant dans la bande passante de l'amplificateur (Figure 6).

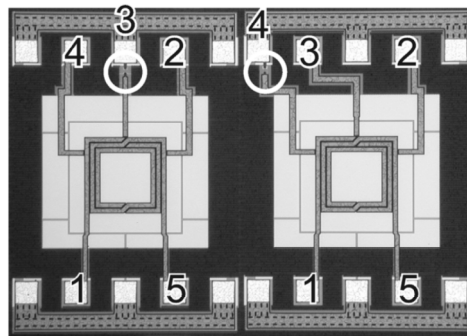


Figure 4 : Réalisation des 4 inductances [9]

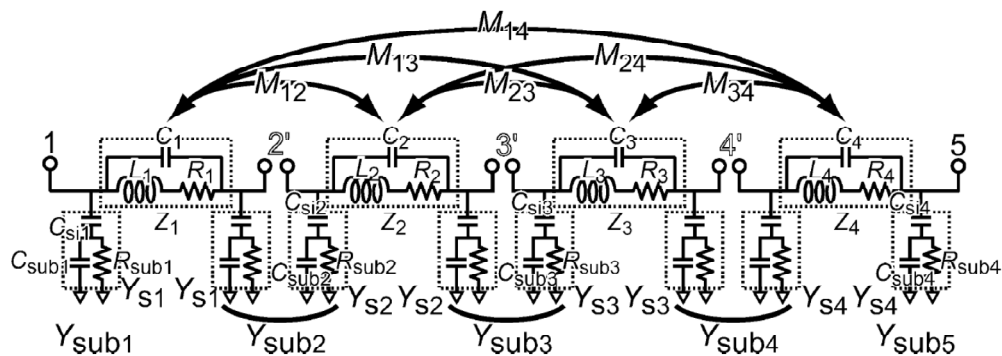


Figure 5 : Modèle électrique du circuit présenté en [9]

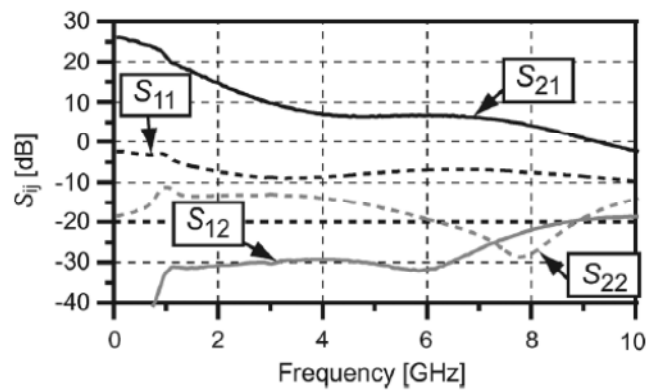


Figure 6 : Paramètres S du circuit présenté en [9]

En [3], les auteurs ont remplacé les inductances de la puce nécessaire à la synthèse des lignes par les inductances provenant des fils d'interconnexion du boîtier choisi (SSOP-24). La bande passante de ce LNA est limitée (<3 GHz) en raison de la valeur importante de l'inductance provenant des fils d'interconnexion du boîtier et de la technologie utilisée (CMOS 0.8 μm). Notons que chaque inductance nécessite au moins deux pads de connexion sur la puce.

De ces différentes réalisations on peut conclure qu'en règle générale avec cette architecture il est difficile d'obtenir un LNA de taille réduite, que le rapport gain/consommation est souvent faible, et qu'il est difficile d'obtenir une réponse de type passe-bande ajustée au signal ULB.

II.2. LNAs à contre réaction

Une des topologies les plus utilisées dans la bande ULB utilise une contre réaction entre l'entrée et la sortie du premier étage pour réaliser l'adaptation avec l'antenne. Cette contre réaction généralement résistive peut également être réactive. Le schéma de principe d'un amplificateur à contre réaction résistive est présenté sur la Figure 7.

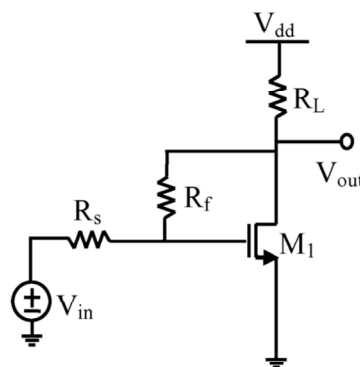


Figure 7 : Architecture d'un amplificateur à contre réaction négative [11]

En ignorant les capacités parasites du transistor M_1 , on peut obtenir de manière simple les expressions des caractéristiques de ces amplificateurs. Les relations (4) et (5) montrent qu'un compromis est nécessaire entre le gain (A_v) et l'impédance d'entrée (R_{in}) (et par conséquent avec le coefficient de réflexion) [11].

$$R_{in} = \frac{R_f + R_L}{1 + g_{m_1} \cdot R_L} \quad (4)$$

$$A_v = \frac{-R_f}{R_{in}} \quad (5)$$

En [11], les auteurs présentent un LNA à contre réaction résistive ayant un gain en tension de 17 dB et une impédance d'entrée de 50 Ω . Pour obtenir ce gain, la résistance R_f a été fixée à 350 Ω . En imposant g_{m1} à 50 mA.V⁻¹, on déduit une valeur d'impédance de charge R_L valant 233 Ω .

La bande passante d'un tel système est limitée principalement par la constante R-C du nœud de sortie. Toujours en [11], les auteurs proposent de diminuer l'impédance de sortie en utilisant un buffer dit "source follower" pour améliorer la bande passante de ce LNA. La contre réaction est réalisée entre l'entrée et la sortie du buffer (Figure 8). En ignorant L_g et les capacités parasites, les relations (6) et (7) montrent la nouvelle relation entre le gain et l'impédance d'entrée du circuit.

$$R_{in} = \frac{1 + g_{m2} \cdot R_f}{g_{m2}(1 + g_{m1} \cdot R_L)} \quad (6)$$

$$A_v = \frac{-R_f}{R_i} \quad (7)$$

En conservant les mêmes paramètres que précédemment (un gain en tension de 17 dB, une adaptation sur 50 Ω et g_{m1} fixé à 50 mA/V), on déduit les nouvelles valeurs de R_L et R_f (140 Ω et 350 Ω). L'impédance de sortie est ainsi réduite et vaut R_L permettant d'augmenter la bande passante du LNA. L'inductance L_g permet de compenser le manque de gain en haute fréquence dû aux capacités parasites.

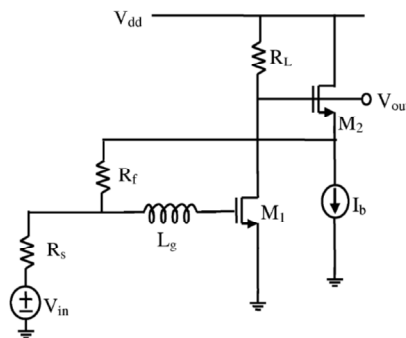


Figure 8 : Architecture du LNA à contre réaction négative [11]

Les auteurs ont également étudié l'effet des protections ESD des pads d'entrée sur l'adaptation du circuit. La capacité parasite engendrée par le pad d'entrée et les diodes de protection est estimée à 250 fF. Sur la Figure 9, l'effet de cette capacité sur l'impédance d'entrée du circuit est présenté ($L_b=0$ nH). Les auteurs proposent de compenser cette capacité parasite grâce à l'inductance provenant du fil d'interconnexion connectant l'entrée du LNA au circuit imprimé en réalisant une adaptation de type LC.

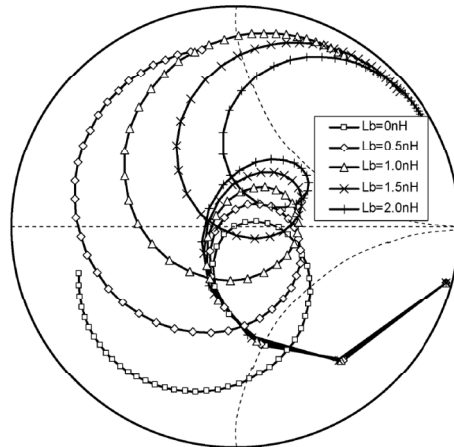


Figure 9 : Effet de la capacité et de l'inductance du Fil d'interconnexion sur l'impédance d'entrée du circuit [11]

Le LNA de la Figure 8 a été réalisé dans une technologie CMOS 90 nm et a été connecté à un circuit imprimé de type FR4 par des fils d'interconnexion. L'inductance provenant des fils d'interconnexion a été estimée à 1.5 nH. Les performances de ce LNA sont résumées dans le Tableau 2 et sur la Figure 10.

vdd	Surface active	Surface avec pads	Consommation	IP3
1.2 V	0.066 mm ²	0.178 mm ²	20 mW	-8 dBm

Tableau 2 : Performances du LNA présenté en [11]

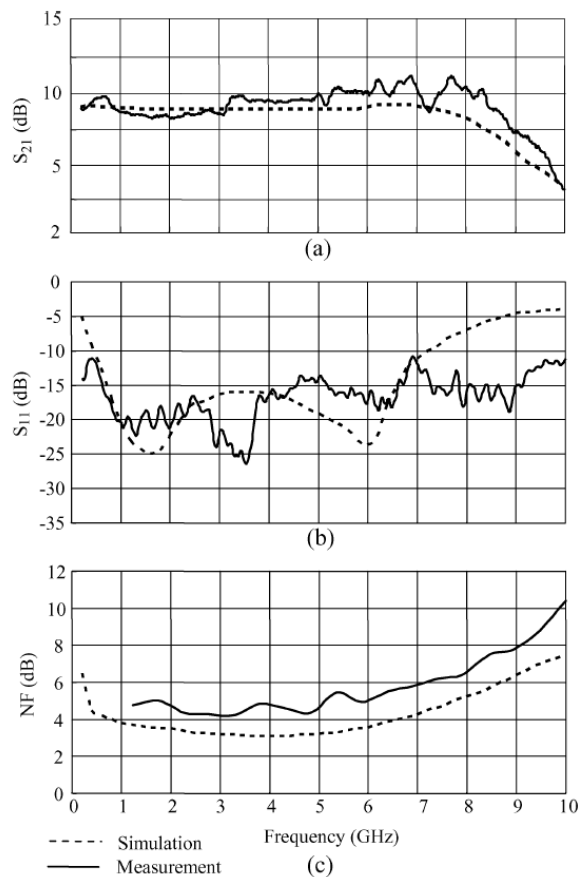


Figure 10 : Performances du LNA présenté en [11] : (a) S21, (b) S11, (c) facteur de bruit (NF)

D'après les auteurs, les différences entre simulation et mesure proviennent de la difficulté à réaliser une inductance de 1.5 nH avec un fil d'interconnexion (la longueur du fil d'interconnexion a été fixée à 1.5 mm en partant du postulat que celui-ci génère une inductance de 1 nH par mm). Notons que les auteurs ne parlent pas de l'effet des fils d'interconnexion reliant les masses du circuit imprimé et de la puce ni de la capacité parasite sur le circuit imprimé.

En [12], les mêmes auteurs proposent un LNA entièrement différentiel reprenant l'architecture de [11] en changeant la résistance de charge R_L par un "shunt peaking inductor". Pour réduire la taille du circuit, l'inductance de charge est synthétisée par une inductance active réalisée à partir d'une résistance et d'un transistor. Le modèle de l'inductance active étant limité en fréquence, la bande passante du système est de 8 GHz. Le "shunt peaking inductor" permet d'obtenir un gain constant dans la bande passante du LNA sans pénaliser les hautes fréquences. La taille du circuit peut donc être réduite en supprimant l'inductance L_g . L'adaptation du circuit est réalisée en utilisant le même principe que celui décrit en [11]. Le circuit a été réalisé avec une technologie CMOS 90 nm et a été connectée à un support de type FR4. Les performances de ce LNA sont résumées dans le Tableau 3.

vdd	Freq. (GHz)	Gain en tension	Max S11 (dB)	Conso.	Surface active	Surface avec pads	NF	IIP3
1.4 V	0.1 - 8	16	-10 dB	16	0.034 mm ²	0.137 mm ²	3.4 - 5.8	-9 dBm

Tableau 3 : Performances du LNA présentée en [12]

En [13], une autre architecture de LNA basée sur une contre réaction est présentée. Les auteurs utilisent deux résonateurs RLC pour réaliser des contres réactions. L'architecture de ce LNA et son modèle petit signal sont représentés respectivement sur la Figure 11 et sur la Figure 12.a. L'impédance d'entrée de ce circuit peut être calculée à partir du modèle petit signal simplifié défini à la Figure 12.b.

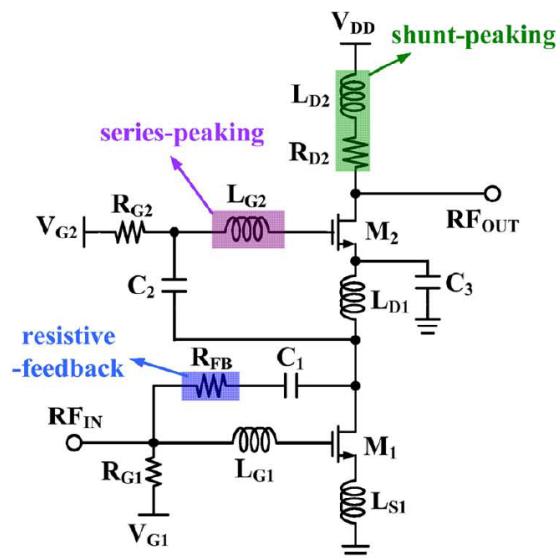


Figure 11 : Architecture du LNA présenté en [13]

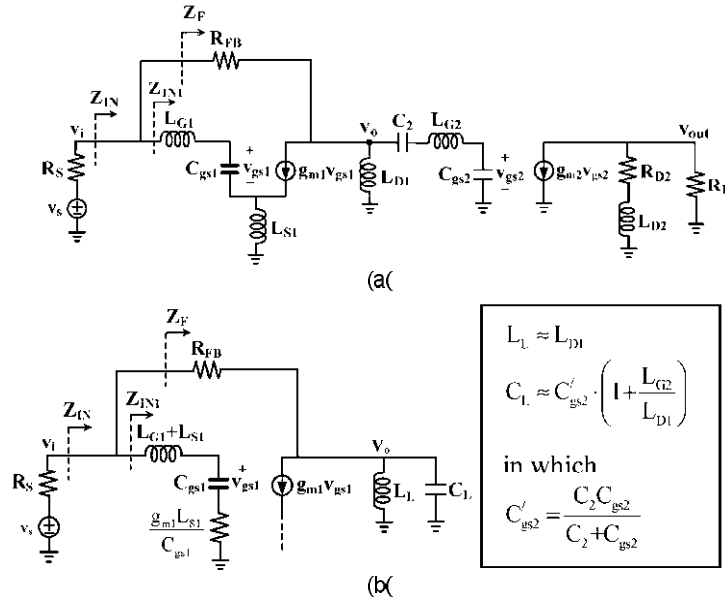


Figure 12 : Modèle petit signal du circuit présenté en [13]. (a) Modèle réel (b) Modèle simplifié

L'impédance d'entrée du LNA (Z_{IN}) est calculée à partir des équations (8) (9) et (10).

$$Z_{IN} = Z_{IN1} // Z_F \tag{8}$$

$$Z_{IN1} = p \cdot (L_{G1} + L_{S1}) + \frac{1}{p \cdot C_{GS1}} + \frac{gm_1 \cdot L_{S1}}{C_{GS1}} \tag{9}$$

$$Z_f \approx p \cdot \left(\frac{R_{FB} \cdot C_L}{gm_1} \right) + \frac{R_{FB}}{p \cdot gm_1 \cdot L_L} + \frac{1}{gm_1} \tag{10}$$

D'après ces équations, l'impédance d'entrée est constituée de deux résonateurs RLC parallèles. En jouant sur les fréquences de résonances et leur coefficient de qualité, il est possible d'adapter le circuit sur une large bande passante (Cf. Figure 13).

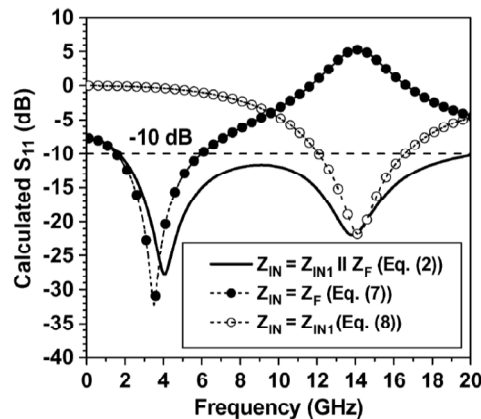


Figure 13 : S11 du LNA présenté en [13]

Les auteurs ont obtenu un coefficient de réflexion inférieur à -10 dB entre 2 et 20 GHz grâce à cette méthode d'adaptation.

En [14], les auteurs proposent un autre LNA à contre réaction résistive permettant d'élargir la bande passante du circuit tout en réduisant sa taille. L'architecture du LNA est représentée sur la Figure 14.

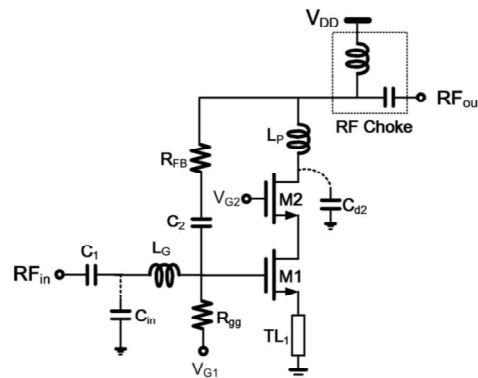


Figure 14 : Architecture du LNA présenté en [14]

L'adaptation en basse fréquence du circuit (sans C_{IN} et L_G) est réalisée grâce à une inductance de dégénérescence (réalisée à partir d'une ligne T_{L1}). La variation de l'impédance en entrée du circuit est représentée sur l'abaque de Smith en fonction de la fréquence sur la Figure 15. En traçant un cercle à coefficient de réflexion constant (-10 dB), on détermine la bande passante du LNA. La bande passante à -10 dB du système est de 12.1 GHz. En ajoutant une inductance série et une capacité parallèle, il est possible d'obtenir une bande passante de 22.5 GHz. Cette fréquence a été déduite de l'abaque de Smith en rajoutant l'inductance L_G et la capacité C_{IN} permettant d'adapter parfaitement le système à 18.2 GHz.

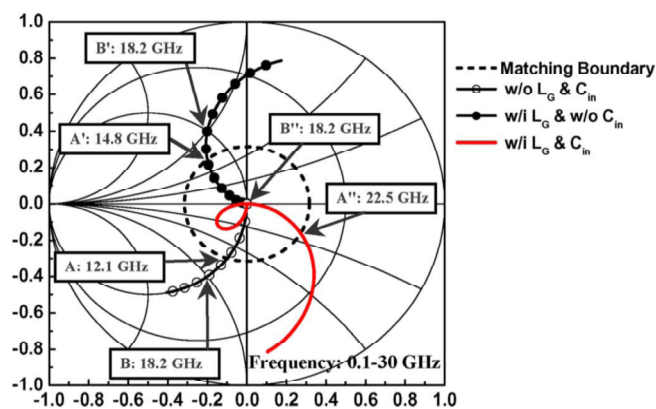


Figure 15 : Variation de l'impédance d'entrée du circuit présenté en [14]

En [15], les auteurs reprennent l'architecture du LNA de la Figure 14 sans la capacité C_{IN} et proposent une intégration de type SiP pour optimiser les performances du LNA. Le circuit est connecté à un circuit imprimé par "flip chip". Un modèle électrique équivalent d'un "bump" d'interconnexion a été extrait de simulations électromagnétiques (Figure 16).

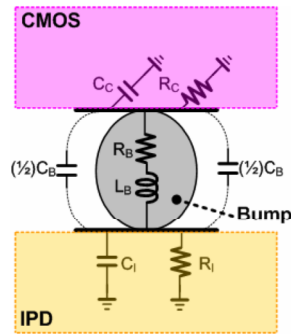


Figure 16 : Modèle équivalent d'un "bump" [15]

L'inductance L_G et l'inductance de choke ont été réalisées sur le circuit imprimé (Figure 17). Lors de la conception des inductances sur le circuit imprimé, l'inductance provenant des "bumps" de connexion a été soustraite de la valeur de l'inductance à réaliser. Malgré le déport de ces inductances sur le circuit imprimé, la taille et les performances de ce LNA sont semblables à celles du LNA présenté en [16] qui intègre ces éléments sur la puce.

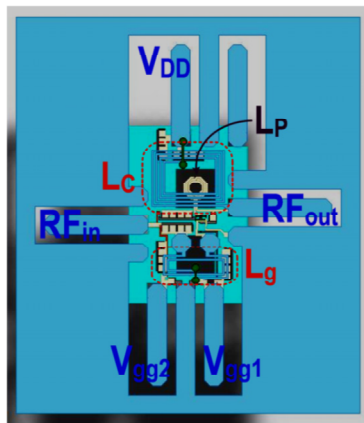


Figure 17 : Circuit imprimé accueillant le LNA présenté en [15]

En [17], les auteurs proposent un LNA à contre réaction utilisant des transformateurs intégrés connecté à un circuit imprimé par l'intermédiaire de fils d'interconnexion. Pour éviter que les fils d'interconnexion ne dégradent les performances du LNA, le circuit a été enterré dans le circuit imprimé pour minimiser la longueur de ces fils. La longueur des fils d'interconnexion réalisée est comprise entre 200 et 250 μm générant une inductance d'environ 0.25 nH.

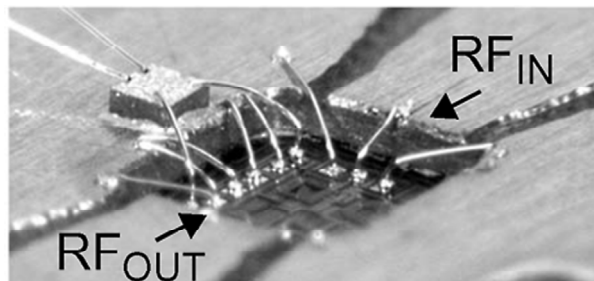


Figure 18 : LNA présentée en [17]

Le Tableau 4 présente les performances des LNAs à contre réaction présentés dans ce paragraphe avec celles d'autres LNAs à contre réactions publiés.

Ref	Techno. (μm)	Vdd (V)	Freq. (GHz)	Max S11 (dB)	Gain (dB)	NF (dB)	P _{1dB} (dBm)	IIP3 (dBm)	Taille (mm ²)	Conso. (mW)	Package
[11]	0.090 CMOS	1.2	0.2-9	-10	10	4.2-8	NC	-8	0.18	20	ESD + Fils d'interco.
[12]	0.090 CMOS	1.4	0.1-8	-10	16 ¹	3.4-5.8	NC	-4.1	0.14	16	ESD + Fils d'interco.
[13]	0.18 CMOS	NC	1.5-11.7	-8.6	12.2	3.7-4.7	-22	-11	0.54	10.3	Non
[13]	0.13 CMOS	NC	1.3-12.1	-17.5	7.9	2.5-4.6	-14	-4	0.44	10.7	Non
[14]	0.090 CMOS	1.2	3.1-10.6	-14.1	10.5	2.9-4	-9	4	0.14	21.6	Non
[14]	0.090 CMOS	1.2	1.6-28	-10	9.6	2.9-4.5	-9	4	0.14	21.6	Non
[15]	0.18 CMOS	1.2	2-11	NC	11	3.4-4.8	NC	NC	0.36	12	Flip Chip
[16]	0.18 CMOS	1.2	2-11.5	-10	10	3.6	-8.5	3	0.33	13.4	Non
[17]	0.13 CMOS	1.2	3.1-10.6	-9.9	15.1	2.5-2.9	NC	-5.1	0.87	9	ESD
[17]	0.13 CMOS	1.2	3.1-10.6	-8.6	15.3	2.5-3	NC	-4.3	0.87	9	ESD + Fils d'interco.
[18]	0.13 CMOS	1.8	3.1-10.6	-7.3	12.4	2.7-3.7	NC	-3.8	0.031 ²	14.4	Non

Tableau 4 : Comparaison des performances de différents LNA à contre réaction publiés

¹ gain en tension² partie active

Le principal atout de cette topologie de LNA est de pouvoir éviter l'utilisation d'inductances pour réaliser l'adaptation d'entrée et donc d'avoir un fort potentiel concernant l'occupation de surface de silicium. En revanche avec les technologies faible coût actuelles, le facteur de bruit et le gain montrent des performances médiocres sans l'utilisation d'inductances ou de transformateurs. Il est également difficile de contrôler de manière précise la bande passante pour réduire la bande équivalente de bruit.

II.3. LNAs à grille commune

Dans les LNA à grille commune le signal à amplifier est injecté sur la source du transistor MOS d'entrée. Les deux principales architectures de LNA à grille commune sont représentées sur la Figure 19. L'architecture du LNA de la Figure 19.b nécessite une valeur d'inductance assez élevée pour être assimilable à un circuit ouvert à la fréquence d'utilisation. Il est néanmoins possible de la faire résonner avec la capacité CGS du MOS d'entrée. Les modèles petits signaux de ces architectures sont représentés sur la Figure 20.

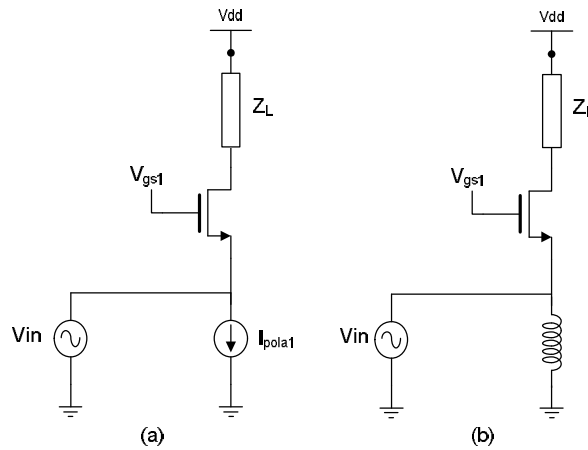


Figure 19 : Architectures de LNA à grille commune. (a) avec source de courant. (b) avec inductance

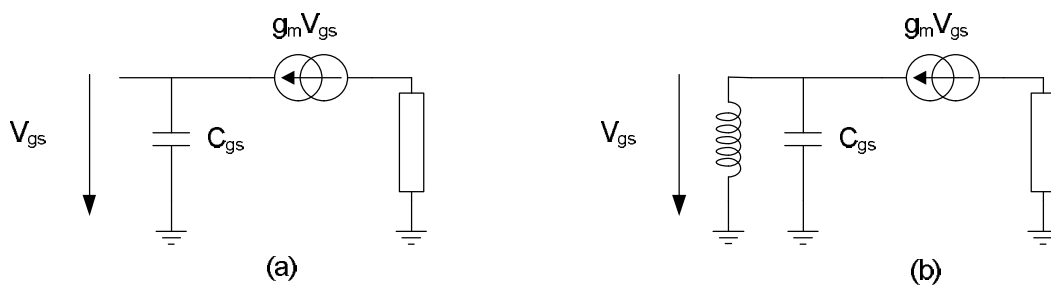


Figure 20 : Modèles petits signaux des architectures de LNA à grille commune présentées à la Figure 19

En négligeant l'inductance du LNA de la Figure 20.b, l'impédance d'entrée d'un LNA à grille commune est donnée par la relation :

$$Y_{IN} = p.C_{gs} + \frac{1}{gm} \quad (11)$$

La transconductance du transistor d'entrée fixe la valeur de la partie réelle de l'impédance d'entrée du LNA. Le LNA présente une impédance réelle d'entrée valant 50Ω lorsque cette transconductance vaut 20 mS .

La référence [19] propose un LNA de type passe bande basé sur un premier étage de type grille commune dont l'architecture est décrite sur la Figure 21. Les mesures montrent un facteur de bruit inférieur à 6.5 dB dans la bande de fréquence $0.4 - 10 \text{ GHz}$ pour une consommation de puissance de 12 mW .

Les performances en bruit peuvent être améliorées en utilisant la technique d'annulation du bruit. La référence [20] utilise cette technique ainsi que "l'inductive peaking" pour la réalisation d'un LNA couvrant la bande $1.2 - 11.9 \text{ GHz}$ avec un facteur de bruit inférieur à 5.1 dB et une consommation de 20 mW .

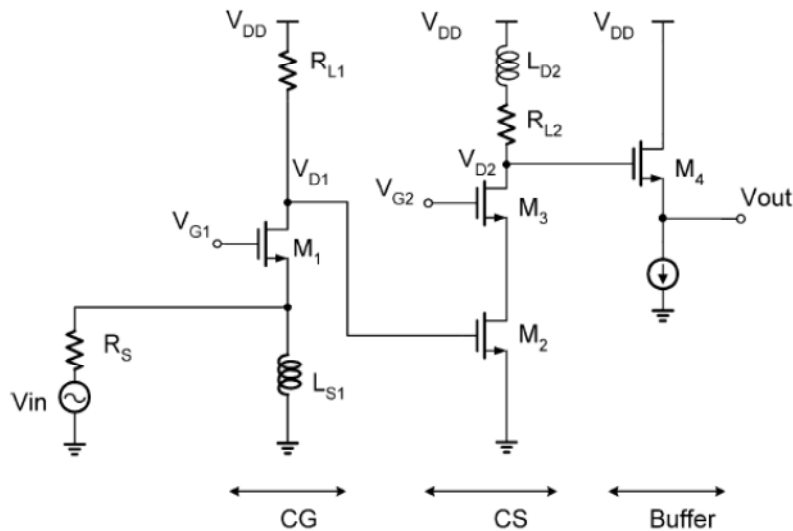


Figure 21 : Architecture à base d'une topologie grille commune [19]

Le Tableau 5 résume les performances de LNA publiés utilisant cette architecture. Les principaux points faibles liés à cette topologie sont un facteur de bruit élevé et la difficulté de contrôler la bande passante. Cependant l'occupation de surface peut être faible car il est possible de réaliser l'adaptation d'impédance sans utiliser d'inductance.

Ref	Techno. (μm)	Vdd (V)	Freq. (GHz)	Max S11 (dB)	Gain (dB)	NF (dB)	P _{1dB} (dBm)	IIP3 (dBm)	Taille (mm ²)	Conso. (mW)	Package
[19]	CMOS 0.18	1.8	0.4-10	-10	11.2-12.4	4.4-6.5	NC	-6	0.42	12	Non
[20]	CMOS 0.18	1.8	1.2-11.9	-10	9.7	4.5-5.1	NC	-6.2	0.59	20	Non
[21]	CMOS 0.09	1.2	6-8.5	-12	13.35	5-6.5	-15	-6.2	0.22 ³	2.2	Non
[22]	CMOS 0.18	1.5	3.1-10.6	-13	7-12	5.27-7	-10	-2.23	1.03	4.5	Non
[23]	CMOS 0.13	1.3	3-11	-7.5	7-10	2.9-3.6	NC	6.5-9.5	0.38	2.4	Non
[24]	CMOS 0.13	1.2	3-10.35	-8.3	11	3.3-11.4	-14	NC	0.77	7.2	ESD
[25]	CMOS 0.09	1	3.1-10.6	-10	16-18.5	4.1-9.4	NC	NC	0.13	8.5	Non
[26]	CMOS 0.13	1.5	3.1-10.6	-10	17 ²	4	NC	NC	2.4 ⁴	13.5	ESD + QFN

Tableau 5 : Comparaison des performances du LNA réalisé avec d'autres LNAs grille commune publié

¹ Bande passante à 1dB

² Gain en tension

³ Partie active

⁴ Récepteur

II.4. Amplificateurs à cellule d'adaptation de type LC passe-bande

Dans ce type d'architecture la cellule d'adaptation d'entrée est dimensionnée comme un filtre passe bande dont la bande passante correspond à celle désirée pour l'amplificateur. La capacité C_{GS} du transistor d'attaque est intégrée à un résonateur LC et la terminaison du filtre est réalisée à l'aide

d'une dégénération inductive. La topologie d'un des premiers LNA CMOS utilisant ce principe est donnée sur la Figure 22 [27]. Ce LNA utilise un filtre de Tchebychev d'ordre 3 comme cellule d'adaptation. Un des avantages de cette architecture est de procurer un filtrage d'entrée intégré au LNA qui correspond à la bande passante désirée. Le principal inconvénient réside dans le nombre important d'inductances de la cellule d'adaptation d'entrée qui limite les performances en bruit et aussi en termes d'occupation de surface. Le facteur de bruit peut être amélioré en utilisant des cellules d'adaptation d'ordre moins élevé [28][29][30].

Lorsque des bandes passantes relatives inférieures à 50% sont requises la méthode de conception précédente n'est plus utilisable en raison des fortes valeurs d'inductances nécessaires à la réalisation des résonateurs série. On peut alors utiliser des topologies utilisant exclusivement des résonateurs parallèles et des inverseurs d'admittances localisés réalisés à base de capacités [30] [31] [32].

Enfin d'excellentes performances en terme de bruit ont été obtenues avec une adaptation de type LC utilisant peu d'inductances et intégrant les éléments parasites liés à l'effet Miller pour réaliser une adaptation de type LC passe-bande [33].

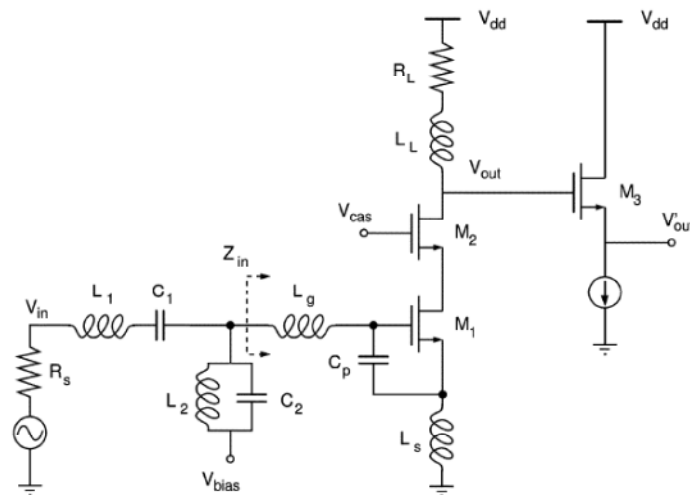


Figure 22 : Architecture typique d'un LNA à adaptation de type LC passe-bande [27]

Les performances des principaux LNA passe-bande et source commune publiés sont résumées dans le Tableau 6.

Ref	Techno. (μm)	Vdd (V)	Freq. (GHz)	Max S11 (dB)	Gain (dB)	NF (dB)	P _{1dB} (dBm)	IIP3 (dBm)	Taille (mm ²)	Conso. (mW)	Package
[27]	CMOS 0.18	NC	2.3 - 9.2	-10	10	4-9	-15	-6.7	1.1	9	Non
[28]	CMOS 0.13	1.5	2 - 4.6	-10	9.5	3-6	-6	-0.8	1.1	16.5	Non
[29]	CMOS 0.13	1.2	6 - 10	-11	27 ¹	3.5-5	NC	NC	0.4	16	Non
[32]	CMOS 0.13	1.2	6.8 - 8.8	-10	29.5 ¹	4-4.9	NC	NC	0.4	15	Non
[33]	CMOS 0.18	1.2	3 - 5	-10	16	<2.2	-23	-9	0.6	7.7	Non
[34]	CMOS 0.18	1.5 /1.8	3.1 - 10.6	-11	11 /14	5.1 /4.5	NC	-12	0.46 ²	9/21	Non
[34]	CMOS 0.13	1	2.4 - 5.4	-12	22	3.1	NC	-21	0.49 ²	4.6	Non
[35]	CMOS 0.18	1.8	3.1 - 10.6	-8.7	10 - 13.1	2.7 - 4.9	-19	-9	NC	13.9	Non
[36]	CMOS 0.18	1.5	1 - 10	-10	12.1	3.8 - 4.2	NC	-4.1	0.41	12.6	Non
[37]	CMOS 0.09	NC	3.5 - 8.4	-10	22.7	<6.5	-19.7	NC	0.685	34.8	Non
[38]	CMOS 0.25	NC	2.4	NC	15	3.5	NC	NC	NC	10	Non
[38]	CMOS 0.25	NC	2.4	NC	14.8	3.5	NC	NC	NC	10	BGA
[38]	CMOS 0.25	NC	2.4	NC	13.6	3.8	NC	NC	NC	10	QFN
[39]	SiGe 0.35	NC	1.53-1.62	-25	20.5 ¹	2.7	NC	-14.5	NC	9 ³ mA	Fils d'interco.
[40]	CMOS 0.13	1.5	3.1 - 10.6	-10	23 - 26.4	4.8 - 7.7	-21	-11.5	1 ² 2.4	48 ³	Fils d'interco.

Tableau 6 : Performances des principaux LNA à adaptation LC passe bande et source commune publiés

¹ Gain en tension² Partie active³ Récepteur

Le point faible des LNAs à adaptation LC passe-bande est principalement l'utilisation d'inductances pour réaliser l'adaptation d'impédance en entrée. Néanmoins cette topologie permet en contre partie un très bon contrôle de la bande passante qui permet de minimiser la bande équivalente de bruit. Les performances en termes de gain et de facteur de bruit sont satisfaisantes et peuvent égaler les meilleures performances atteintes par les réalisations utilisant les autres topologies.

Certains auteurs ont étudié l'effet de l'interconnexion entre le LNA et le circuit imprimé.

En [39] et [41], le LNA est connecté par des fils d'interconnexion de taille standard. Comme les auteurs travaillent en bande étroite autour de 1.55 GHz et 2 GHz, l'inductance provenant des fils d'interconnexion est compensée par une capacité pour réaliser une adaptation LC à la fréquence centrale.

En [38], les auteurs comparent une mise en boîtier avec des fils d'interconnexion et avec un boîtier de type BGA. A 2.4 GHz, les performances du LNA connecté au circuit imprimé par l'intermédiaire d'un BGA sont meilleures que celles du LNA connecté par des fils d'interconnexion. Cependant au

dessus de 3 GHz, les mesures du LNA + BGA s'éloignent des mesures du LNA seul. Les mesures du LNA + fils d'interconnexion restent prévisibles jusqu'à 10 GHz. Les auteurs expliquent que les différences de mesure du LNA + BGA proviennent de la mutuelle inductance difficilement contrôlable entre le plan de masse sur le circuit imprimé et les inductances réalisées sur la puce.

En [40], les auteurs intègrent l'inductance parasite du fil d'interconnexion dans deux circuits LC en échelle. Ceci nécessite l'ajout d'une capacité série sur le circuit imprimé. Les résultats ont été obtenus en simulant la transition circuit imprimé - puce par une unique inductance.

III. Intégration de LNA et de récepteurs ULB dans la bande 3 - 10 GHz

Nous présentons dans ce paragraphe quelques conceptions de LNA ULB et de récepteurs ULB pour la bande 3 - 10 GHz réalisées pendant cette thèse. Ces conceptions ont été effectuées avec la technologie HCMOS9 de STMicroelectronics disponible au CMP de Grenoble. Les résultats de simulation présentés ont été obtenus en utilisant le "design kit" de cette technologie qui, outre une modélisation haute fréquence des transistors MOS, offre des modèles de passifs valides pour la bande de fréquence ULB 3 - 10 GHz. Les interconnexions de grandes dimensions sur la puce ont été prises en compte en utilisant des modèles de lignes de transmission à pertes standards dont les paramètres ont été obtenus à partir de mesures effectuées au laboratoire [43].

III.1. Conception d'une interface active circuit imprimé – puce à partir d'une topologie à grille commune

Dans ce paragraphe, nous présentons la conception d'une interface active faible bruit de 11 GHz de bande passante entre un circuit imprimé et une puce. L'interface active est obtenue par le "co-design" d'un transistor connecté en grille commune et d'une transition par "wirebonding" entre la puce et le circuit imprimé. Cette interface permet de convertir une tension d'entrée aux bornes du circuit intégré en un courant qui permet l'attaque d'étages situés sur le circuit intégré qui ne sont pas d'impédance 50Ω . Cette interface qui a une réponse de type passe-bas est opérationnelle à partir des basses fréquences et pour toute la bande de fréquences ULB.

Dans le chapitre I, nous avons vu qu'un schéma électrique en π permet de modéliser avec une bonne précision dans la bande de fréquence ULB une transition RF par "wirebonding" entre une ligne 50Ω réalisée sur circuit imprimé et le pad "signal" de la puce. Nous avons vu que la transition électrique entre le circuit imprimé et la puce pouvait être optimisée en intégrant ses éléments parasites dans un filtre passe bas. Pour réaliser l'interface active, nous utilisons cette transition et un transistor connecté en grille commune. L'architecture de l'interface active et son modèle petit signal sont représentés Figure 23 et Figure 24.

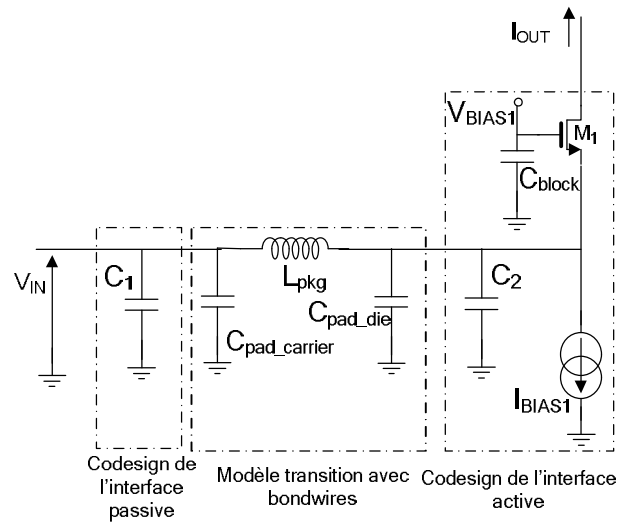


Figure 23 : Architecture de l'interface active

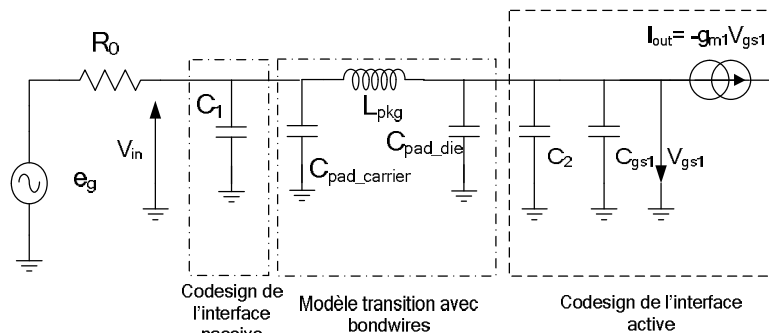


Figure 24 : Modèle petit signal de l'interface active

Les valeurs des éléments constituant le modèle électrique de la transition entre le circuit imprimé et la puce ont été extraites de simulations réalisées avec le logiciel HFSS. Le modèle de la transition sous HFSS et les variations des éléments du modèle avec la fréquence sont représentées sur Figure 25.

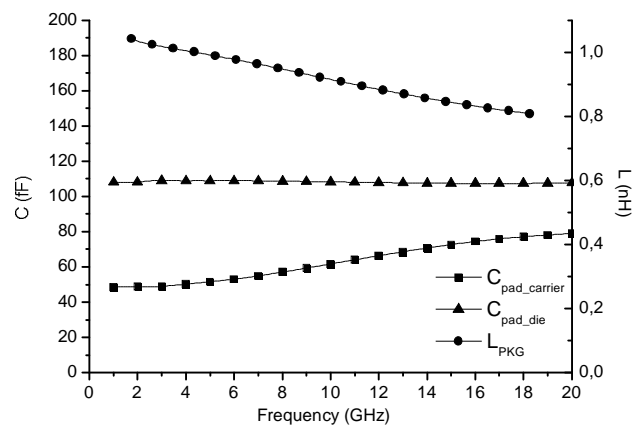
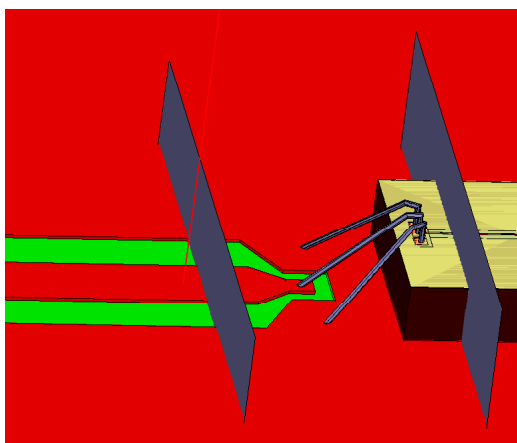


Figure 25 : Simulation HFSS et extraction des éléments parasites de la transition circuit imprimé – puce

Pour optimiser les performances électriques de la transition, nous utilisons le processus décrit au chapitre I. La structure du filtre à synthétiser est représentée sur la Figure 26. En fixant une bande passante à 11 GHz, le paramètre g_2 du filtre doit satisfaire l'équation (12). Un filtre passe bas de Butterworth d'ordre 3 d'ondulation 0.41 dB donne $g_2 = 1.38$. Les coefficients g_1 , g_2 et g_3 de ce filtre

valent respectivement 0.69, 1.38 et 0.69. Une ondulation de 0.41 dB permet d'obtenir un coefficient de réflexion inférieur à -10 dB dans toute la bande passante. Un tel coefficient de réflexion est généralement suffisant pour un LNA ULB.

$$L_{filter} = \frac{g_2 R_0}{2\pi f_{cutoff}} = L_{pkg} = 1nH \quad (12)$$

$$C_{1_filter} = \frac{g_1}{2\pi R_0 f_{cutoff}} = C_1 + C_{Pad_Carrier} = 200 fF \quad (13)$$

$$C_{2_filter} = \frac{g_3}{2\pi R_0 f_{cutoff}} = C_{Pad_Die} + C_2 + C_{GS1} = 200 fF \quad (14)$$

$$R_0 = \frac{1}{g_{m1}} = 50\Omega \quad (15)$$

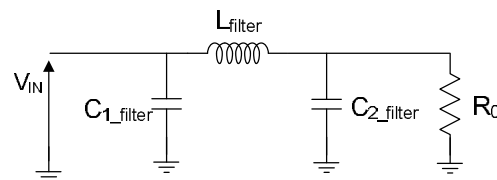


Figure 26 : Filtre passe bas

Pour synthétiser le filtre de Butterworth, il est nécessaire d'ajouter des capacités C1 et C2 sur le circuit imprimé et sur la puce. La valeur de la capacité C1 est directement déduite de (13) et vaut 150 fF. Celle-ci est réalisée sur le circuit imprimé par l'intermédiaire d'une ligne d'impédance caractéristique 33 Ω et de longueur 0.9 mm. La valeur de la capacité C2 dépend de la valeur de la capacité Cgs1 et donc de la largeur de grille de M1. L'impédance de 50 Ω en sortie du filtre est obtenue en fixant la transconductance gm à 20 mS (15). Cette valeur de transconductance peut être obtenue pour différentes valeurs de largeur de grille M1 en jouant sur la polarisation du transistor. Les simulations montrent qu'une largeur de grille de 45 μ m permet un bon compromis entre consommation et facteur de bruit. La capacité C2 est ensuite déduite de (14).

Du modèle petit signal de la Figure 24, la valeur du courant I_{OUT} de sortie de l'interface active peut être déduite par (16).

$$I_{OUT} = g_{m1} v_{GS1} = \frac{v_{GS1}}{R_0} = \frac{v_{IN}}{R_0} \quad (16)$$

La valeur de la transconductance normalisée par rapport à l'impédance de 50 Ω est présentée sur Figure 27 qui montre une bonne correspondance avec l'équation (16) aux basses fréquences et dans la bande passante visée.

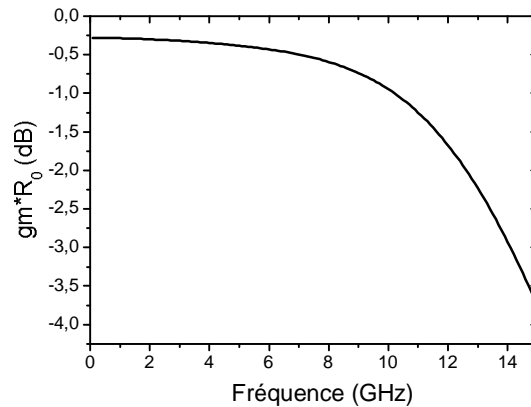


Figure 27 : Transconductance vs fréquence

La Figure 28 compare le coefficient de réflexion du filtre de Butterworth idéal avec celui de l'interface active intégrant la transition circuit imprimé - puce (simulé sous HFSS) obtenu en simulation. Comme la valeur de transconductance a été optimisée pour obtenir 20 mS à la fréquence de 11 GHz le coefficient de réflexion est légèrement dégradé aux basses fréquences car, comme le montre la figure 27 la transconductance n'est pas constante dans toute la bande passante. En basse fréquence, on estime que l'impédance d'entrée est proche de 75 Ω . Cette variation d'impédance explique les différences obtenues en dessous de 7 GHz entre le coefficient de réflexion du filtre de Butterworth idéal et celui de l'interface active.

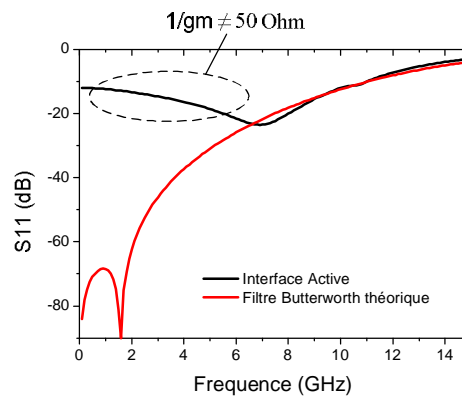


Figure 28 : Comparaison S11 filtre de Butterworth idéal et S11 de l'interface active

L'implémentation de la source de courant polarisant M1 (Cf. Figure 23) a un fort impact sur le facteur de bruit et plus spécialement en haute fréquence. La simulation du facteur de bruit en fonction de la fréquence est présentée sur la Figure 29. La Figure 29.a présente le facteur de bruit obtenu avec une source de courant idéale, la Figure 29.b correspond au facteur de bruit simulé en implémentant la source de courant par un miroir de courant classique (Figure 30.a). Le facteur de bruit peut être diminué autour d'une fréquence en utilisant une structure LC résonnante à la fréquence désirée placée en série avec la source de courant suivant la configuration donnée sur la Figure 30.b. Ce résonateur LC est synthétisé à partir d'une transition avec des fils d'interconnexion connectés à la masse du circuit imprimé. Cette transition peut être modélisée par un modèle en π semblable à celui de la Figure 23. Une capacité C_x est ajoutée à $C_{\text{Pad_Die}}$ pour obtenir une résonance proche de la fréquence de coupure de l'interface active. L'utilisation de fils d'interconnexion permet de diminuer le facteur de bruit de l'interface active dans la bande de fréquence ULB comme le montrent les résultats de simulation du facteur de bruit représentés sur la Figure 29.c sans augmenter la surface de la puce.

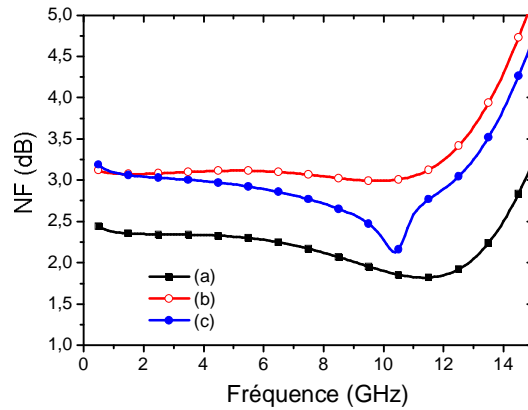


Figure 29 : Facteur de bruit en fonction de la fréquence. (a) avec une source de courant idéale, (b) avec la source de courant de la Figure 30.a, (c) avec la source de courant de la Figure 30.b

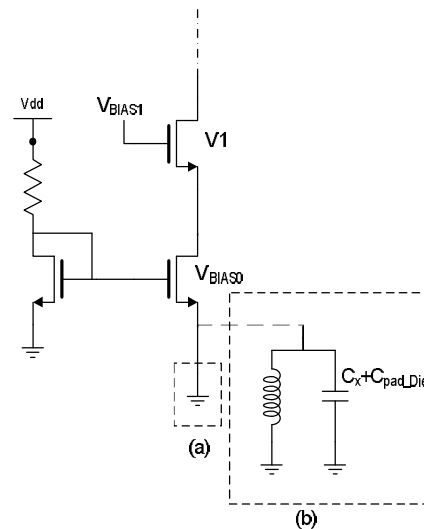


Figure 30 : Implémentation de la source de courant. (a) par un miroir de courant classique, (b) par un miroir de courant amélioré

Les performances simulées de l'interface active sont résumées dans le Tableau 7.

Bande passante à 1 dB	Max S11 (dB)	Conso.	NF
11.4 GHz	-11dB	1.66 mW	<3.3 dB

Tableau 7 : Performances simulées de l'interface active

III.2. Conception d'un LNA passe bas à partir de l'interface active à topologie grille commune

Dans ce paragraphe, l'interface active précédente est utilisée pour concevoir un LNA passe bas pouvant être utilisé pour les applications FCC (3 - 10 GHz). L'architecture du LNA est représentée sur la Figure 31. Le premier étage de ce LNA est constitué de l'interface active. Le second étage convertit le courant I_{OUT} en une tension de sortie V_{OUT} disponible sur une impédance élevée telle que celle d'un

détecteur de crête ou d'énergie par exemple. En effet, comme indiqué au chapitre précédent, un LNA dédié aux applications ULB doit fournir une tension élevée sur une haute impédance provenant d'un détecteur d'impulsions ou d'un multiplieur. En sortie du LNA une capacité de 60 fF a été ajoutée pour simuler l'impédance d'entrée de l'étage suivant.

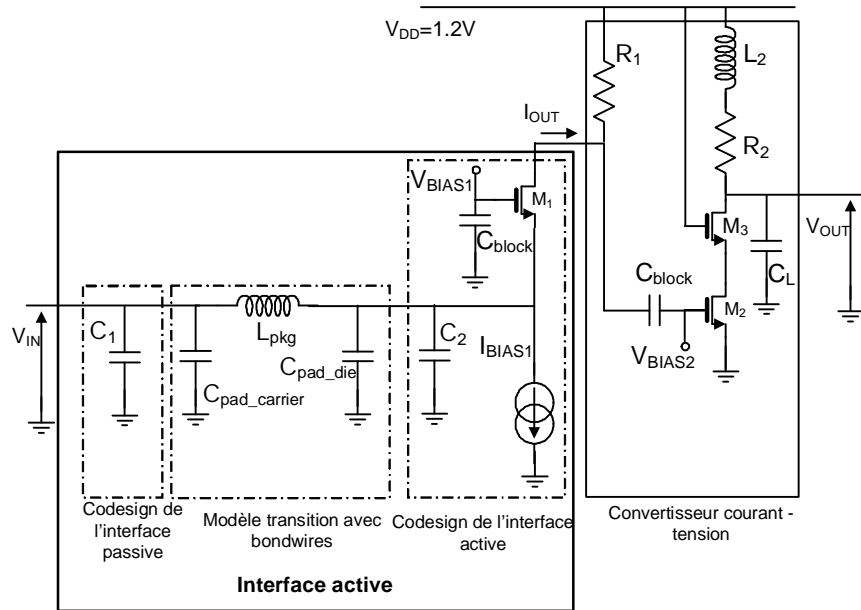


Figure 31 : Architecture du LNA passe bas utilisant l'interface active

Le modèle petit signal du deuxième étage du LNA est représenté sur la Figure 32 en négligeant la capacité entre la grille et le drain de M_2 et M_3 . Le courant I_{OUT} du premier étage est converti en une tension V_{GS2} par l'intermédiaire de la résistance R_1 . En négligeant la capacité entre la grille et le drain de M_2 , cette tension peut être calculée analytiquement :

$$v_{GS2} = I_{OUT} \frac{R_{11}}{1 + j\omega R_{11} C_{22}} \quad (17)$$

Avec

$$R_{11} = R_1 // R_{ds1} \quad (18)$$

$$C_{22} = C_{ds1} + C_{gs2} \quad (19)$$

Le gain en tension du premier étage du LNA peut être calculé à partir des équations (16) et (17) :

$$A_{V1} = \frac{v_{GS2}}{v_{IN}} = \frac{R_{11}/R_0}{1 + j\omega R_{11} C_{gs2}} \quad (20)$$

La tension V_{GS2} est ensuite amplifiée par un étage cascode (M_2 et M_3). Le deuxième étage requiert un transistor avec une largeur de grille importante pour maximiser le gain. Cependant un transistor trop large engendre une capacité C_{gs} importante réduisant le gain du premier étage. Pour augmenter le gain du second étage une charge de type "inductive series picking" a été implémentée. En jouant sur les fréquences de coupure des deux étages, il est possible d'obtenir un gain constant dans toute la bande passante. Les gains en tension simulés du premier et deuxième étage ainsi que celui du LNA sont représentés sur la Figure 33. Le gain et la fréquence de coupure à 3 dB du premier

étage valent respectivement 15.6 dB et 3 GHz. Ces valeurs correspondent bien aux valeurs théoriques présentées en (20) qui prédisent un gain de 16.4 dB et une fréquence de coupure à 4 GHz.

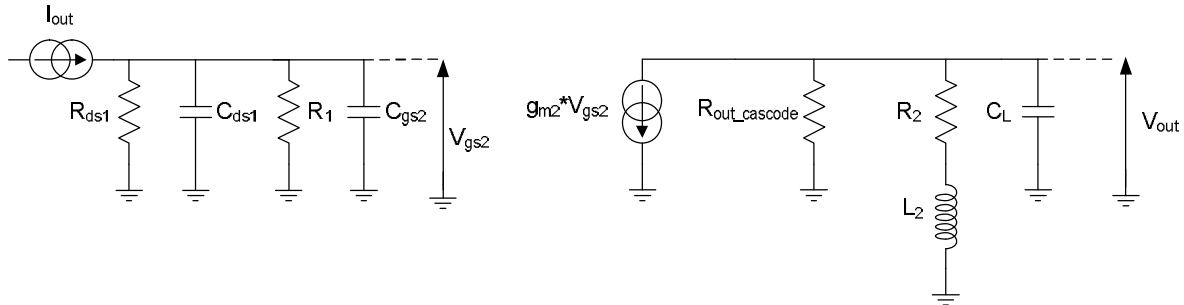


Figure 32 : Modèle petit signal du deuxième étage du LNA

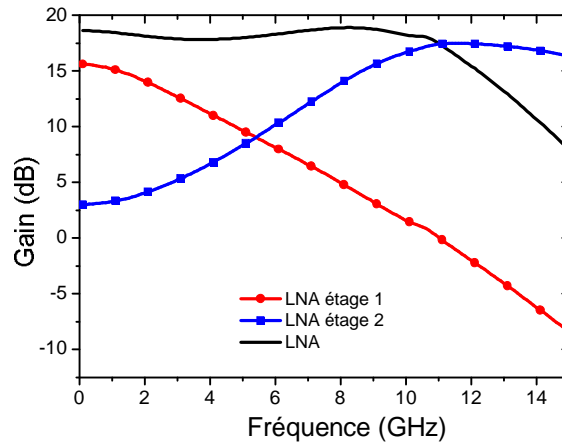


Figure 33 : Simulation du gain en tension du LNA

La simulation du facteur de bruit du LNA est présentée sur la Figure 34. Le coefficient de réflexion est le même que celui de l'interface active présentée sur la Figure 28.

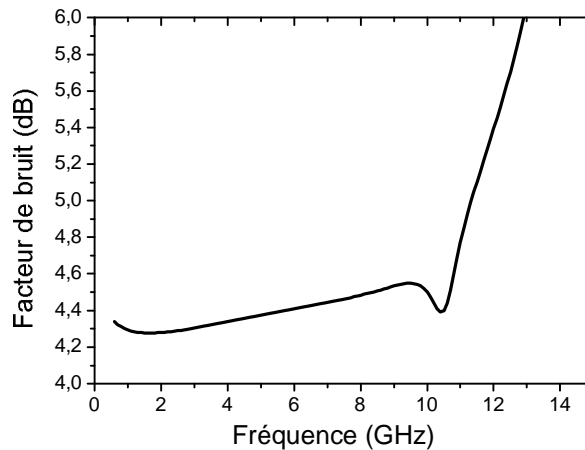


Figure 34 : Simulation du facteur de bruit du LNA

La partie active du LNA a été réalisée dans une technologie CMOS 0.13 μm . Cette puce a été connectée à un substrat de type Rogers 4003. La photographie de la réalisation du LNA est présentée sur la Figure 35. Le LNA occupe une surface de silicium de 0.2 mm^2 et consomme 8.6 mW. Les comparaisons entre simulations et mesures du coefficient de réflexion et du gain sont présentées sur la Figure 36 et sur la Figure 37.

Si l'on se réfère au Tableau 5 qui présente les résultats publiés de LNA à grille commune, notre conception qui intègre la transition puce-carte couvre toute la bande ULB et présente un gain en tension important et une surface de silicium faible. Par ailleurs, grâce à l'utilisation du codesign, il n'y a pas d'inductance intégrée sur le trajet du signal avant la grille du premier transistor d'amplification. Cela permet d'obtenir un facteur de bruit faible pour cette topologie réputée bruyante. Il convient de noter toutefois que le facteur de bruit du LNA, dont la sortie est à haute impédance, n'a pas été vérifié par des mesures sur le prototype réalisé.

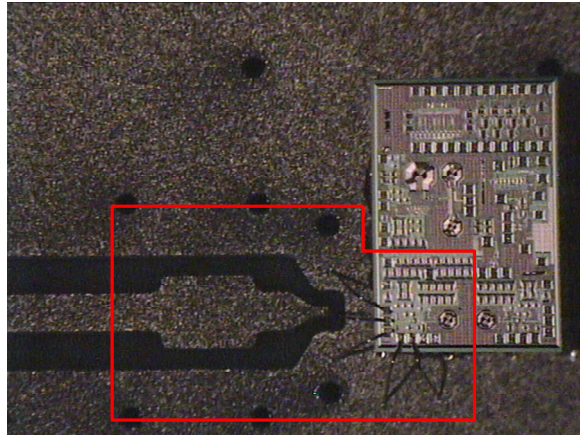


Figure 35 : Photographie du LNA passe bas grille commune

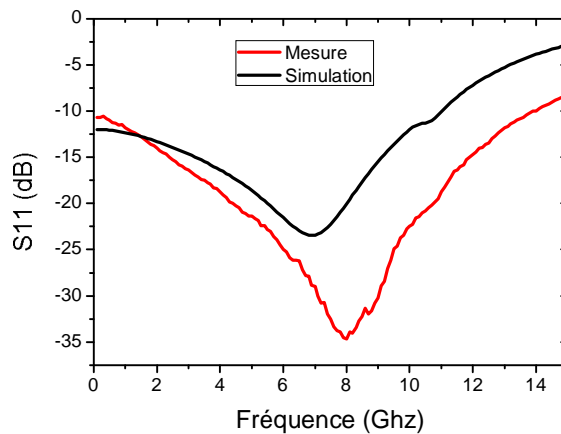


Figure 36 : Comparaison mesure et simulation du S11 du LNA passe bas grille commune

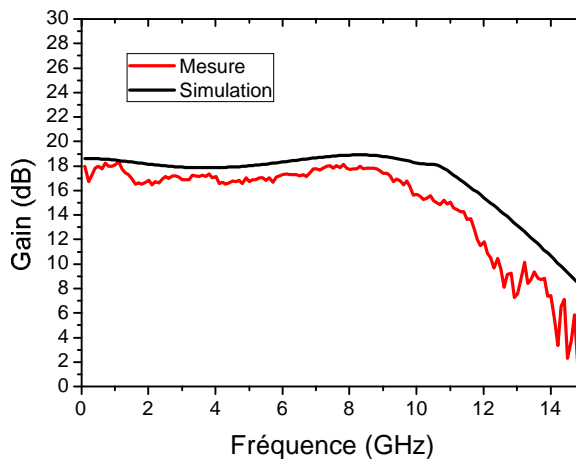


Figure 37 : Comparaison mesure et simulation du gain du LNA passe bas grille commune

III.3. LNA source commune adaptés par cellules LC passe-bande

Nous présentons dans ce paragraphe quelques conceptions de LNA utilisant la topologie source commune adaptée par une cellule LC passe-bande.

III.3.a. LNAs ULB pour de grandes bandes passantes relatives

Dans cette partie, nous présentons deux LNAs pour les bandes de fréquence 3.2 - 4.7 GHz et 3.1 - 10.6 GHz. Les filtres d'entrée de ces deux LNA sont réalisés entièrement sur la puce. Nous étudions ensuite l'interconnexion de ces LNAs en utilisant la transition puce-circuit imprimé étudiée au chapitre I.

LNA 3.1 - 10.6 GHz

La structure du LNA 3.1 – 10.6 GHz est représentée sur la Figure 38. Le LNA est constitué d'un filtre passe-bande d'ordre 2 en entrée, d'un étage cascode chargé par une inductance et de deux étages passe bas à charge active.

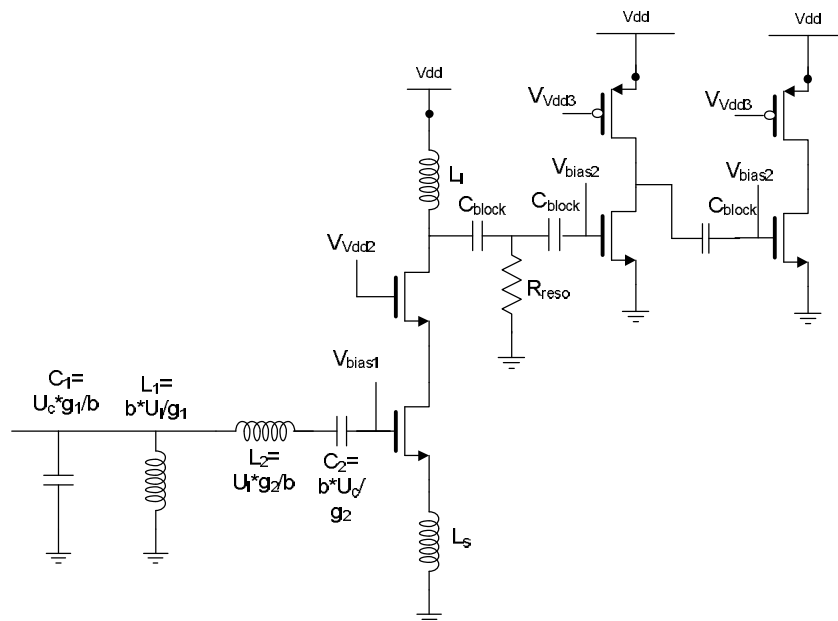


Figure 38 : Structure du LNA source commune pour les applications FCC

Les valeurs des éléments constituant le filtre d'entrée dépendent du type de filtre, de l'ondulation et de la bande passante choisie. Pour un filtre passe bas du 2^{ème} ordre, en définissant le type de filtre et son ondulation, les paramètres g_1 , g_2 et g_3 sont obtenus [42]. En fixant une fréquence centrale et une bande passante et en "dénormant" (équations (21) à (26)), toutes les valeurs des éléments constituant le filtre passe bande sont obtenues.

$$\Delta f = f_{\max} - f_{\min} = \text{bande passante} \quad (21)$$

$$f_0 = \sqrt{f_{\max} * f_{\min}} = \text{fréquence centrale} \quad (22)$$

$$R_0 = \text{impédance de normalisation} \quad (23)$$

$$b = \frac{\Delta f}{f_0} \text{ bande passante relative} \quad (24)$$

$$U_l = \frac{R_0}{\omega_0} \quad (25)$$

$$U_c = \frac{1}{R_0 * \omega_0} \quad (26)$$

Pour un filtre, dont la bande passante correspond à la totalité de la bande de fréquences FCC (3.1 - 10.6 GHz), adapté sur une impédance de 50 Ω , nous obtenons les paramètres de dénormalisation du Tableau 8.

R0	50 Ω
fmin	3.1*10 ⁹
fmax	10.6*10 ⁹
Δf	7.5*10 ⁹
f0	5.7*10 ⁹
b	1.3

Tableau 8 : Paramètres de dénormalisation du filtre FCC

Un filtre de Tchebychev de 0.3 dB d'ondulation permet d'obtenir un coefficient de réflexion inférieur à -11.7 dB dans toute la bande FCC. Les valeurs des éléments d'un tel filtre sont données dans le Tableau 9.

g1	1.18
g2	0.7
g3	1.7
L₁	1.54 nH
C₁	500 fF
L₂	0.74 nH
C₂	1 pF
Rout	29 Ω

Tableau 9 : Paramètres du filtre de Tchebychev de 0.3 dB d'ondulation

La capacité C₂ est réalisée avec la capacité C_{gs} du Mos d'entrée. L'adaptation du circuit sur 50 Ω est réalisée à condition que la relation (27) soit satisfaite.

$$R_{out} = \frac{g_m * L_s}{C_{gs}} = 29 \Omega \quad (27)$$

Le bruit ajouté par le 1^{er} étage du LNA peut être minimisé en égalant l'impédance d'entrée à une impédance Z_{OPT} donnée en (28) où A et B sont des paramètres technologiques dépendant de la polarisation [43].

$$Z_{OPT} = \frac{A}{\omega C_{GS1}} - \frac{B}{j\omega C_{GS1}} - jL_s\omega \quad (28)$$

De même le gain du premier étage dépend de la valeur de la transconductance g_m ainsi que de la valeur de l'inductance L_s [43].

Un compromis est donc nécessaire entre gain, facteur de bruit, consommation et adaptation lors de la conception du premier étage. Les valeurs finales extraites en simulation de C_{gs} et R_{out} sont présentées sur la Figure 39.

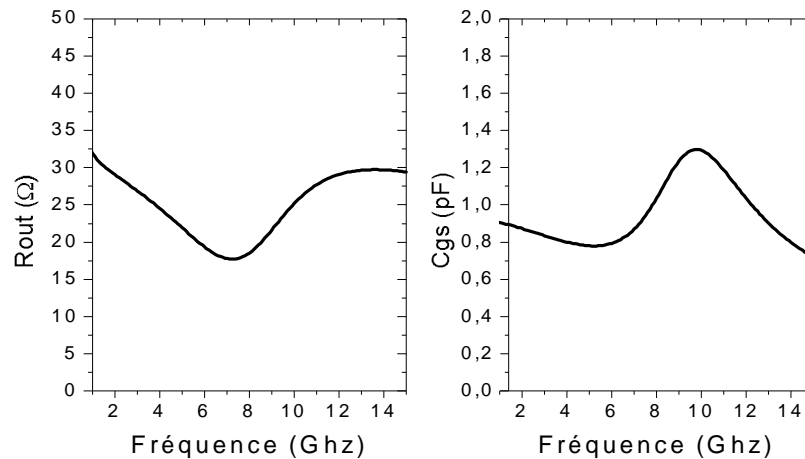


Figure 39 : Impédance d'entrée du MOS

La réponse du premier étage est de type passe bas du 2^{ème} ordre avec un coefficient d'amortissement inférieur à 0.707 [43]. Le deuxième et troisième étage d'amplification ont été réalisés à partir de charges actives ayant une réponse de type passe bas d'ordre 1 dont les fréquences de coupures sont inférieures à la fréquence haute de la bande ULB. Il est possible d'obtenir un gain quasiment constant dans les 7.5 GHz de bande en compensant la chute des gains du 2^{ème} et 3^{ème} étage par l'augmentation du gain du 1^{er} étage en haut de bande qui résulte du faible coefficient d'amortissement de cet étage [30]. Pour connecter le LNA au circuit imprimé, nous utilisons la transition présentée au chapitre I. La puce est connectée au circuit imprimé par l'intermédiaire de fils d'interconnexion. Les éléments parasites de la transition sont intégrés dans un filtre passe bas de Butterworth d'ondulation 1.1 dB et de 11 GHz de bande passante.

Les variations du coefficient de réflexion du LNA obtenues par simulation sont présentées sur la Figure 40 et comparées à celles du filtre de Tchebychev idéal d'ondulation 0.3 dB. Les différences d'adaptation s'expliquent par la valeur de R_{out} qui n'a pas été conçu pour obtenir 29 Ω dans la bande passante mais pour minimiser le bruit ajouté par le 1^{er} étage. Le gain en tension ainsi que le facteur de bruit du LNA sont présentés à la Figure 41 et à la Figure 42.

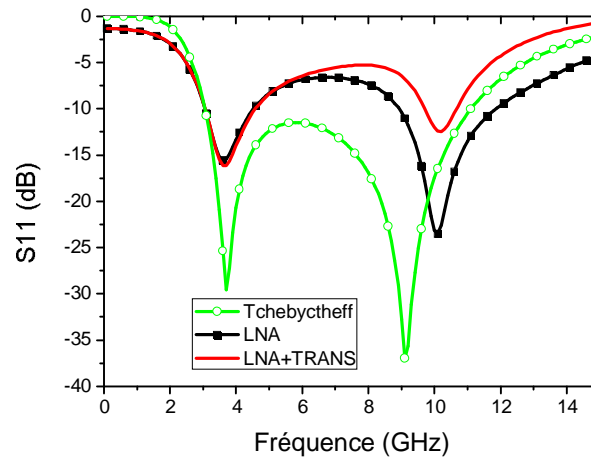


Figure 40 : Variations fréquentielles simulées du coefficient de réflexion du filtre de Tchebychev idéal, du LNA et du LNA intégrant la transition puce – circuit imprimé

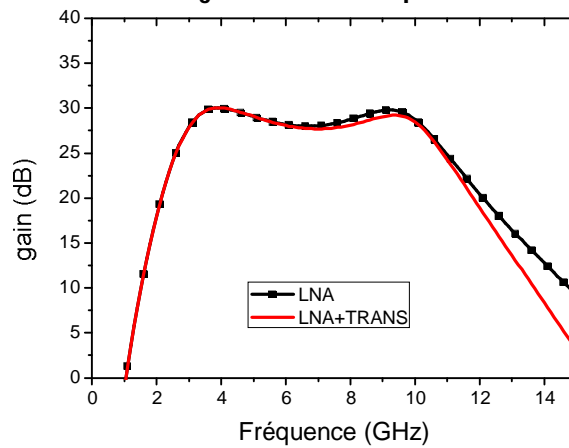


Figure 41 : Simulation du gain en tension du LNA et du LNA intégrant la transition puce – circuit imprimé

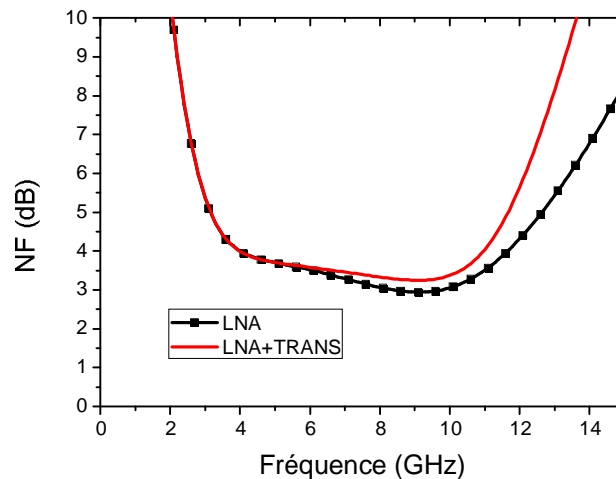


Figure 42 : Facteur de bruit simulé du LNA et du LNA intégrant la transition puce – circuit imprimé

Si l'on se réfère au Tableau 6 qui rassemble les résultats de publications des LNAs à source commune, notre LNA montre en simulation de très bonnes performances pour ce qui concerne le gain et le contrôle de la bande passante au prix d'une consommation de puissance importante. Cette consommation de puissance peut être fortement réduite dans le cas de signaux impulsionnels de faible débit en "éteignant" le LNA entre deux impulsions [44].

Conception d'un LNA pour la bande de fréquence 3.2 – 4.7 GHz

Nous présentons dans ce paragraphe un LNA pour la bande 3.2 - 4.7 GHz qui constitue le premier étage d'un récepteur cohérent dont l'architecture est représentée sur la Figure 43 [45]. Le LNA est chargé par deux multiplieurs différentiels. L'architecture du LNA qui est représentée sur la Figure 44 est identique à celle du LNA précédent pour ce qui concerne les deux premiers étages. Le troisième étage réalise la conversion d'une tension référencée en tension différentielle.

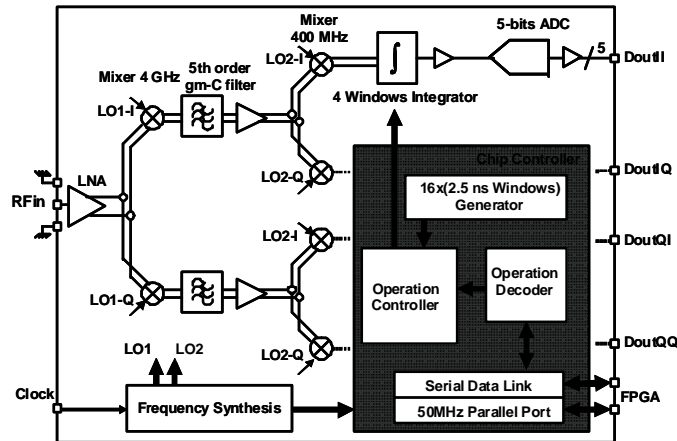


Figure 43 : Architecture du récepteur

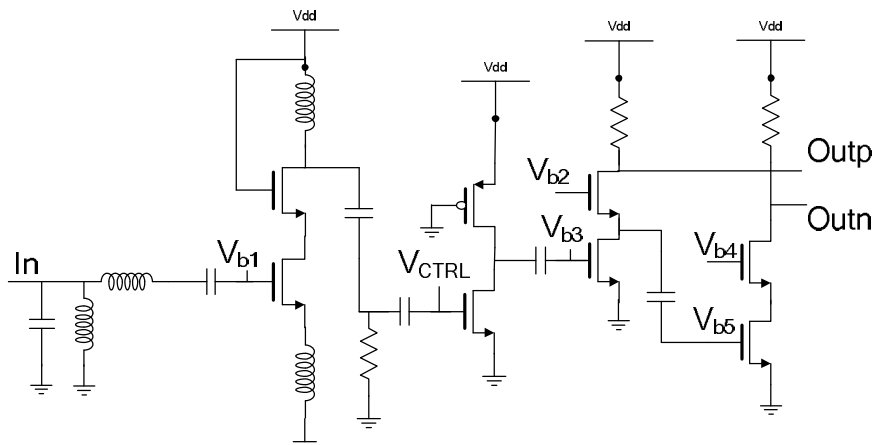


Figure 44 : Architecture du LNA 3.2 – 4.7 GHz

Le filtre d'entrée du LNA a été réalisé à partir d'un filtre de Tchebychev de 0.2 dB d'ondulation permettant d'obtenir un coefficient de réflexion inférieur à -12 dB dans la bande passante du filtre. La Figure 45 compare le coefficient de réflexion simulé à celui mesuré en entrée du circuit intégré. Le LNA présente en simulation un gain en tension maximal de 36 dB pour un facteur de bruit valant 2.44 dB. La tension de contrôle V_{CTRL} permet de faire varier le gain du LNA de 15 dB jusqu'à 36 dB en maintenant un facteur de bruit inférieur à 6 dB (Figure 46). Ce LNA présente un temps de propagation de groupe constant dans la bande passante comme le montre la Figure 47.

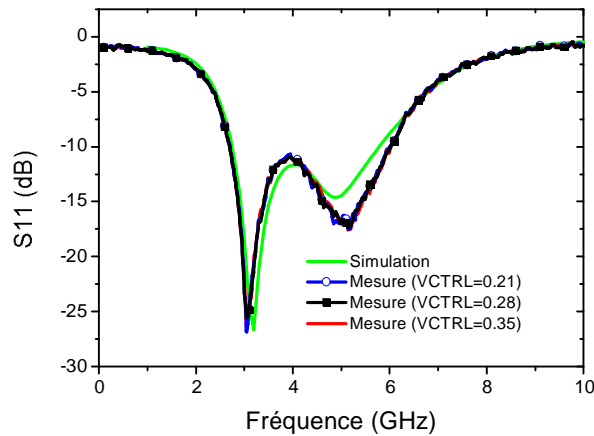


Figure 45 : Comparaison mesure – simulation du coefficient de réflexion du LNA 3.2 – 4.7 GHz

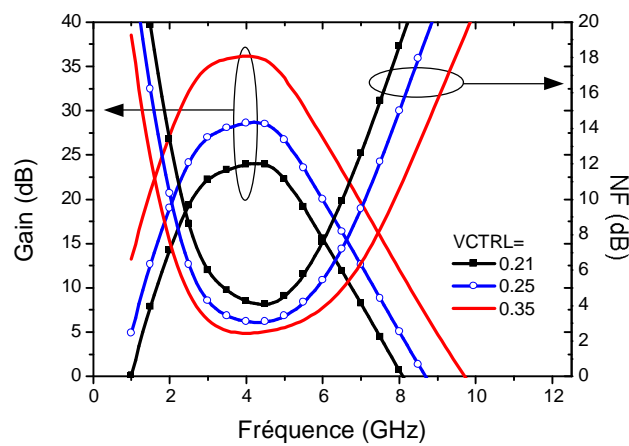


Figure 46 : Variations simulées du facteur de bruit et du gain en fonction de V_{CTRL}

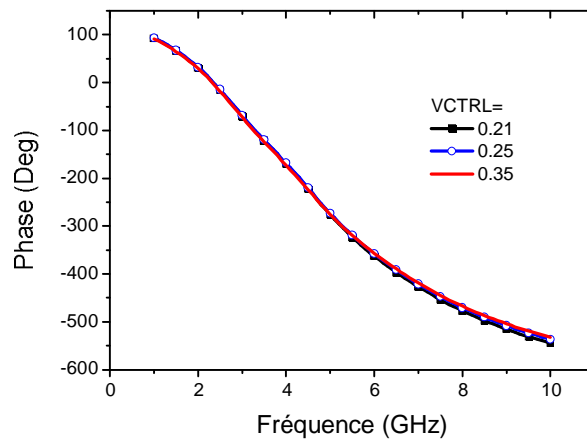


Figure 47 : Déphasage entre l'entrée et la sortie du LNA

Ce LNA a été connecté au circuit imprimé avec une transition similaire à celle du LNA précédent. Les simulations montrent que la transition n'a pas d'effet sur les performances du LNA dans sa bande passante. La réalisation de ce LNA est présentée sur la Figure 48. Les performances simulées de ce LNA sont résumées dans le tableau ci-dessous. Les résultats de mesure effectués sur le récepteur complet ont permis de confirmer la fonctionnalité de ce LNA et de valider le bon ordre de grandeur des performances obtenues en simulation.

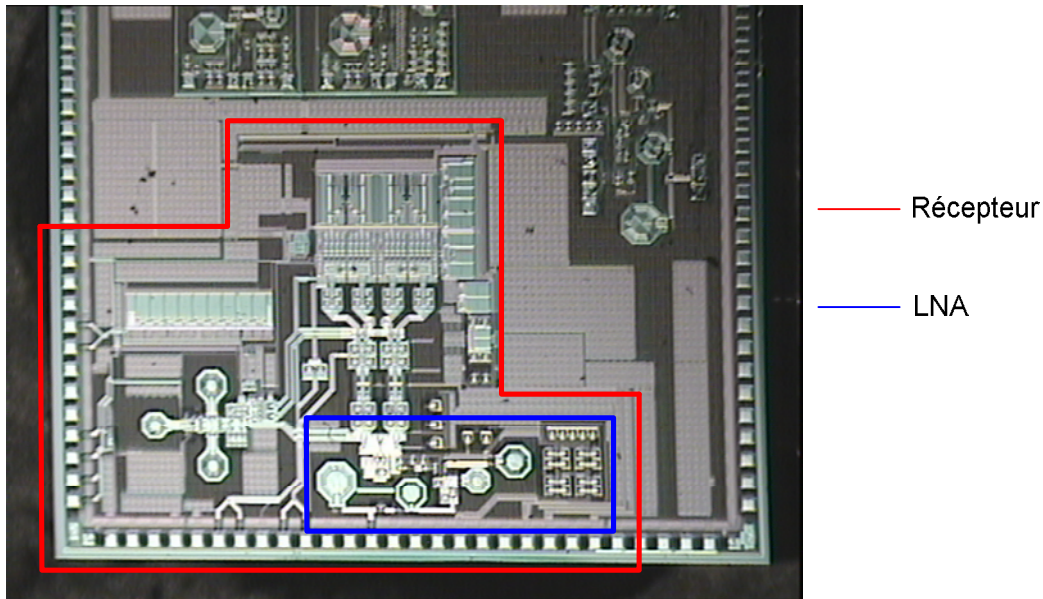


Figure 48 : Photographie du LNA 3.2 - 4.7 GHz présenté

Techno. (μm)	Vdd (V)	Freq. (GHz)	Max S11 (dB)	Gain en tension (dB)	NF (dB)	P _{1dB} (dBm)	IIP3 (dBm)	Conso. (mW)	Taille (mm ²)	Package
CMOS 0.13	1.2	3.2 -4.7	-12	36	<2.85	-25	-28	15.3	0.82	Fils d'interco.

Tableau 10 : Performances du LNA 3.2 - 4.7 GHz présenté

III.3.b. Réalisation d'un LNA pour la norme ECC 6 - 8.5 GHz

Dans cette partie, nous présentons un LNA pour la bande de fréquences ECC (6 - 8.5 GHz) où la structure d'adaptation a été réalisée sur le circuit imprimé en utilisant la transition circuit imprimé - puce. Les paramètres de normalisation / dénormalisation de ce LNA sont donnés dans le Tableau 11.

R0	50 Ω
fmin	6*10 ⁹
fmax	8.5*10 ⁹
Δf	2.5*10 ⁹
f0	7.14*10 ⁹
b	35%

Tableau 11 : Paramètres de normalisation / dénormalisation du filtre ECC

Le paramètre b correspond à la bande passante relative du filtre. Pour pouvoir filtrer hors bande, la bande passante relative a été réduite à 20% et nous avons choisi de réaliser un filtre passe bande d'ordre 2 de Tchebychev ayant une ondulation de 0.05 dB. L'architecture et les paramètres d'un tel filtre sont donnés sur la Figure 49 et dans le Tableau 12.

g1	0.69
g2	0.55
g3	1.23
L₁	3.59 nH
C₁	120 fF
L₂	0.38 nH
C₂	1.16 pF
Rout	61.5 Ω

Tableau 12 : Paramètre du filtre de Tchebychev de 0.3 dB d'ondulation

Ce filtre nécessite une inductance de 3.59 nH qui n'est pas réalisable dans notre technologie. Une solution pour obtenir des éléments synthétisables avec notre technologie consiste à utiliser des inverseurs d'admittance. En utilisant trois inverseurs d'admittance, il est possible de simuler autour de la fréquence f_0 , la réponse du filtre de la Figure 49 avec le filtre de la Figure 50.

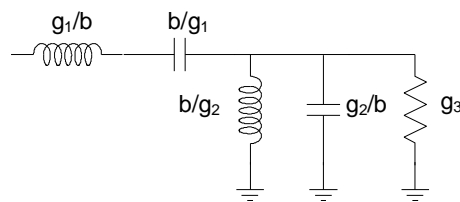


Figure 49 : Structure classique d'un filtre passe bande normalisé d'ordre 2

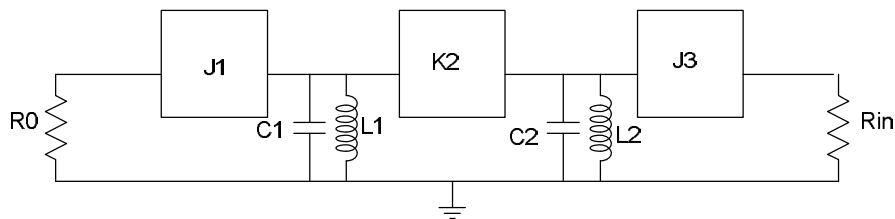


Figure 50 : Structure d'un filtre passe bande utilisant des inverseurs d'admittances

Habituellement les inverseurs d'admittance sont réalisés par une structure capacitive en π [43]. Dans cette conception nous utilisons trois inverseurs d'admittance synthétisés par une structure capacitive, coté puce, suivie d'une structure inductive et d'une ligne de transmission $\lambda/4$, coté antenne, comme le montre la Figure 51.a. Le modèle normalisé de ce filtre est représenté Figure 51.b. La démonstration de l'équivalence entre les schémas des figures 50.a et 50.b est donnée en annexe.

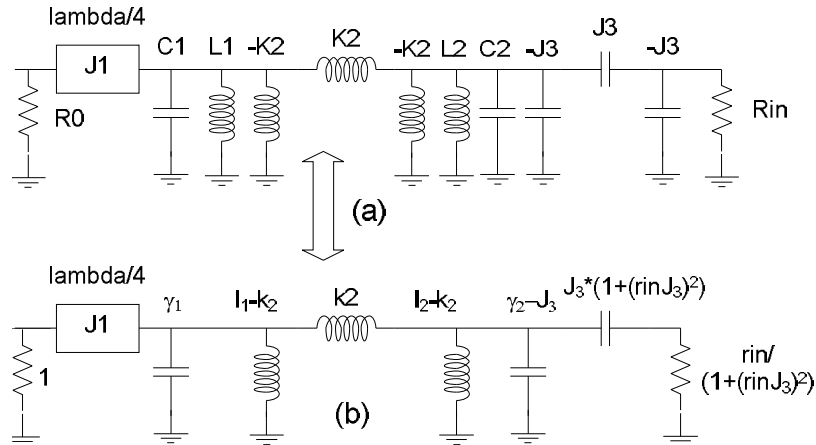


Figure 51 : (a) Architecture du filtre d'entrée, (b) architecture du filtre d'entrée normalisé

Le premier inverseur J1 est réalisé avec une ligne $\lambda/4$ d'impédance caractéristique J1 (normalisée). L'utilisation d'un inverseur d'admittance capacitif ou inductif aurait nécessité un élément négatif à côté de l'antenne. La synthèse de cet élément n'est pas possible sans changer la valeur de l'impédance de l'antenne. Ici nous avons choisi de ne pas modifier l'impédance de l'antenne (50Ω). Seul l'inverseur d'admittance avec une ligne quart d'onde permet de valider cette condition.

Le second inverseur d'admittance est réalisé avec des inductances. Nous avons choisi un inverseur inductif pour retrouver un modèle en π dans le filtre semblable à celui de la transition puce - circuit imprimé. De plus en choisissant un inverseur d'admittance inductif, il est possible de réduire la taille de la puce en supprimant l'inductance sur la puce du résonateur parallèle en validant la condition $k_2=l_2$.

Un LNA source commune présente en entrée une impédance composée d'une capacité et d'une résistance. Nous avons donc choisi un 3^{ème} inverseur d'admittance de type capacitif pour obtenir ce modèle d'impédance en sortie du filtre.

Pour trouver les valeurs des éléments du filtre de la Figure 51.b, nous calculons l'effet des inverseurs d'admittance sur les résonateurs LC et sur l'impédance de sortie.

L'effet de l'inverseur d'admittance J1 sur le 1^{er} résonateur constitué de γ_1 et l_1 est calculé en (29). L'impédance finale du 1^{er} résonateur est présentée en (30).

$$y_{L1} = \frac{1}{l_1 * p} + \gamma_1 * p \xrightarrow{J_1} y_{e1} = \frac{1}{\frac{J_1^2}{l_1 * p} + J_1^2 * \gamma_1^2 * p} \quad (29)$$

$$z_{e1} = \frac{J_1^2}{l_1 * p} + J_1^2 * \gamma_1^2 * p \quad (30)$$

L'effet des inverseurs d'admittance J1 et K2 sur le 2^{ème} résonateur constitué de γ_2 et l_2 est calculé en (31). L'admittance finale du 1^{er} résonateur est présentée en (32).

$$y_{L2} = \frac{1}{l_2 * p} + \gamma_2 * p \xrightarrow{K_2} z_{e2} = \frac{K_2^2}{l_2 * p} + K_2^2 * \gamma_2^2 * p \quad (31)$$

$$z_{e2} \xrightarrow{J_1} y_{e2} = \frac{K_2^2}{J_1^2 * l_2 * p} + \frac{K_2^2 * \gamma_2^2 * p}{J_1^2} \quad (32)$$

L'effet des inverseurs d'admittance J1, K2 et J3 sur l'impédance de sortie rin est calculé en (33).

$$rin \xrightarrow{J_3} ye3 = J_3^2 * rin \xrightarrow{K_2} ye3 = \frac{1}{K_2^2 * J_3^2 * rin} \xrightarrow{J_1} ye3' = \frac{J_1^2}{K_2^2 * J_3^2 * rin} \quad (33)$$

Autour de la fréquence centrale de normalisation, le filtre normalisé de la Figure 51.b est semblable à celui de la Figure 52.

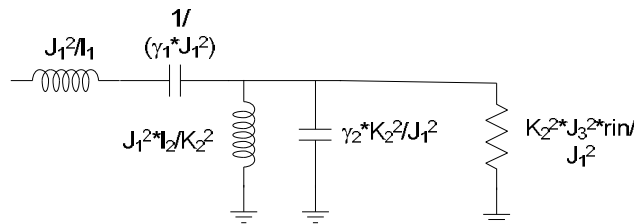


Figure 52 : Filtre normalisé équivalent à celui de la Figure 51

En égalant les paramètres du filtre de la Figure 52 avec ceux de la Figure 49 et en choisissant pour les différents résonateurs $l=1/\gamma$, les paramètres du filtre de la Figure 51.b sont déduits. Ces paramètres sont donnés dans le Tableau 13 en fonction des paramètres g1, g2 et g3 du filtre choisi.

Notons que lors du choix des valeurs de J1, K2 et J3, il est nécessaire de vérifier que $\gamma_2 - J_3 \geq 0$ et $l_1 - k_2 \geq 0$.

l1	$\frac{J_1^2 * b}{g_1}$
k2	l2
l2	$l_2 = \frac{J_1^2 * g_2}{b}$
rin	$\frac{J_1^2}{K_2^2 * J_3^2 * g_3}$

Tableau 13 : Relations entre les paramètres du filtre de la Figure 51 et celui de la Figure 52

Pour obtenir des éléments synthétisables J1, k2 et J3 sont fixés respectivement à 0.65, 1.16 et 0.48. En dénormalisant la valeur de ces éléments, nous obtenons les valeurs indiquées sur le filtre de la Figure 53 qui est équivalent au filtre de Tchebychev ayant les paramètres du Tableau 12.

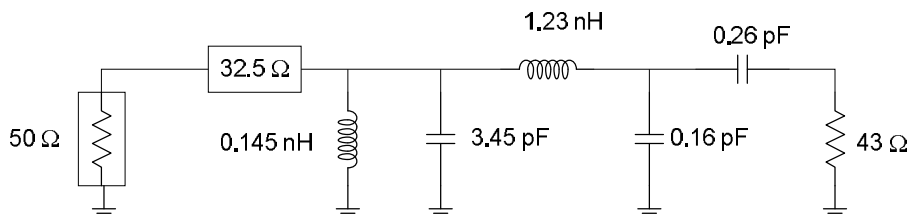


Figure 53 : Filtre de Tchebychev réalisé à partir d'inverseurs d'admittance

L'architecture finale du LNA est représentée sur la Figure 54 et la réalisation sur la Figure 55. Le LNA occupe une surface de silicium de 0.35 mm^2 et consomme une puissance de 12 mW. L'inductance de 1.23 nH a été obtenue à partir de fils d'interconnexion de diamètre $25 \mu\text{m}$ et de longueurs 1.4 mm (fil d'interconnexion signal) et 1.1 mm (2 fils d'interconnexion de masse). L'inverseur J_1 a été réalisé par une ligne $\lambda/4$ d'impédance caractéristique 32.5Ω . L'inductance et la capacité du premier résonateur ont été synthétisées par deux lignes $\lambda/4$ en parallèle d'impédance caractéristique 12Ω . L'impédance de sortie du filtre a été obtenue avec un transistor MOS dégénéré. Ce LNA prototype, qui ne comprend qu'un seul étage d'amplification, n'est pas destiné à procurer une amplification importante. L'objectif est d'évaluer les potentialités d'un codesign puce-circuit imprimé.

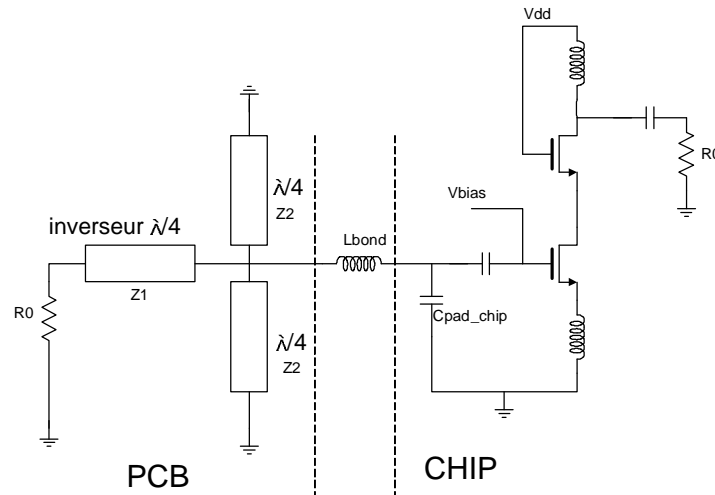


Figure 54: Architecture du LNA ECC

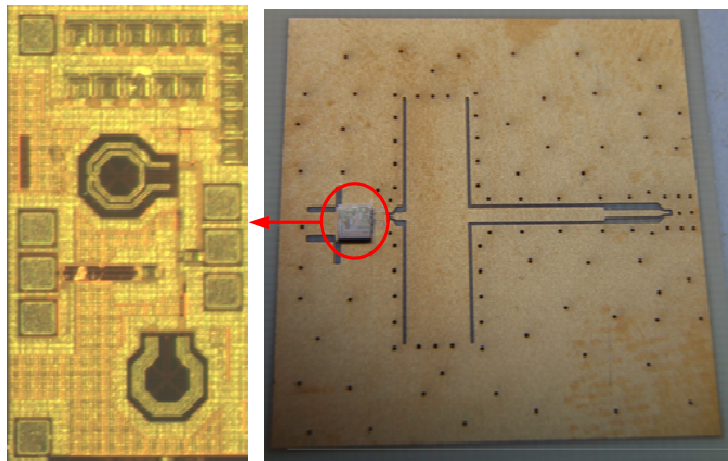


Figure 55 : Réalisation du LNA ECC

Le gain et le coefficient de réflexion du LNA simulés et mesurés sont comparés sur la Figure 56 et sur la Figure 57. La simulation du facteur de bruit est présentée sur la Figure 58. Comme aucune inductance n'a été réalisée sur la puce pour réaliser le filtre d'entrée du LNA, il y a peu de pertes dans le filtre d'entrée et il en résulte un facteur bruit simulé très faible. Le principal inconvénient de cette architecture est lié à son occupation de surface sur la carte support du circuit intégré. Néanmoins son fort potentiel concernant le facteur de bruit peut être intéressant pour certaines applications ne nécessitant pas un degré de miniaturisation important.

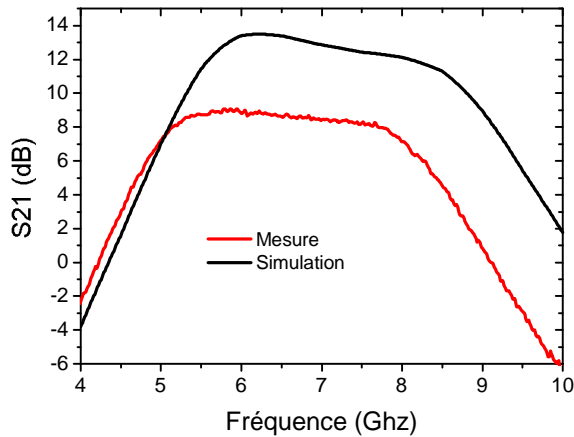


Figure 56 : Gain du LNA

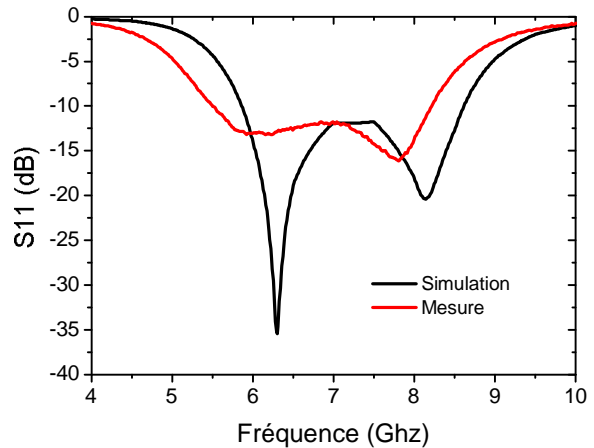


Figure 57 : Coefficient de réflexion du LNA

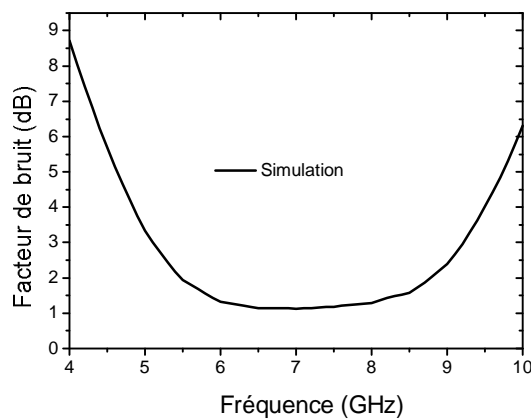


Figure 58 : Facteur de bruit simulé du LNA

Remarques :

Lors des mesures, nous avons observé un décalage en fréquence du coefficient de réflexion et du gain. Ce décalage peut provenir de la réalisation du filtre d'entrée sur le support (tolérances, longueur des fils d'interconnexion) et un ajustement de la longueur des lignes $\lambda/4$ devrait permettre de recentrer la bande passante.

Le gain mesuré du LNA est également moins important que celui obtenu en simulation. Nous n'avons pas d'explications précises à fournir sur ce point. Cependant, nous avons observé sur une autre réalisation de LNA dans la même technologie un écart important entre mesure et simulation lorsque le LNA était chargé par une impédance de faible valeur (ici 50Ω) alors que le nœud de sortie était prévu pour être connecté en haute impédance. Sur cet autre prototype, pour mesurer le gain, nous avons prévu une sortie haute impédance (réalisée grâce à un diviseur capacitif) où nous avons mesuré un gain de 17-18 dB au lieu de 18-19 dB en simulation ce qui correspond à une marge d'erreur acceptable. Un LNA identique avait été réalisé sur la même tranche avec un accès GSG pour poser des pointes 50Ω directement en sortie (sans diviseur capacitif). Le gain mesuré (8 dB seulement) ne correspondait pas au gain simulé dans les mêmes conditions de charge (12 dB). En remplaçant la pointe 50Ω par une pointe active haute impédance nous avons retrouvé sur cette structure le gain de 17-18 dB conforme aux simulations.

III.4. Intégration d'un récepteur ULB pour la bande de fréquences 3.1 - 10.6 GHz

III.4.a. Architecture du récepteur

Dans ce paragraphe, nous présentons l'intégration d'un récepteur ULB pour la bande de fréquence 3.1 - 10.6 GHz. Le récepteur génère, à partir d'un signal ULB d'entrée impulsionnel codé en OOK, une sortie correspondante aux données reçues et une sortie fournissant le signal d'horloge. Ces signaux de sortie sont mis en forme dans le récepteur afin de pouvoir être exploités par la partie numérique. Le récepteur intègre sur une même puce réalisée en technologie CMOS 0.13 μ m : (i) le LNA à adaptation LC passe-bande 3.1 - 10.6 GHz présenté au paragraphe précédent qui permet d'obtenir une forte valeur d'amplification et de minimiser la bande équivalente de bruit, (ii) le détecteur de crête présenté au chapitre II, (iii) un circuit récupérateur d'horloge (qui ne fait pas l'objet de cette thèse) qui exploite les impulsions détectées et mises en forme par le détecteur, (iv) un générateur de tensions continues programmables permettant de fournir les différentes tensions de contrôle nécessaire au bon fonctionnement du récepteur.

La génération des signaux variables qui permettent de régler les seuils du détecteur de manière précise a été réalisée dans le circuit intégré avec des convertisseurs numériques analogiques. Les convertisseurs sont commandés par des mots binaires de 8 bits permettant d'obtenir des pas de variation suffisamment petits. Tous les mots de commande sont envoyés en série, à l'aide d'un seul plot signal du circuit intégré, et sont ensuite parallélisés à l'aide de bascules D. Cette solution offre l'avantage d'une réduction de la surface de silicium (en raison de la réduction du nombre des pads) et d'obtenir un contrôle des seuils du récepteur par un contrôleur numérique.

L'architecture du récepteur est présentée sur la Figure 59.

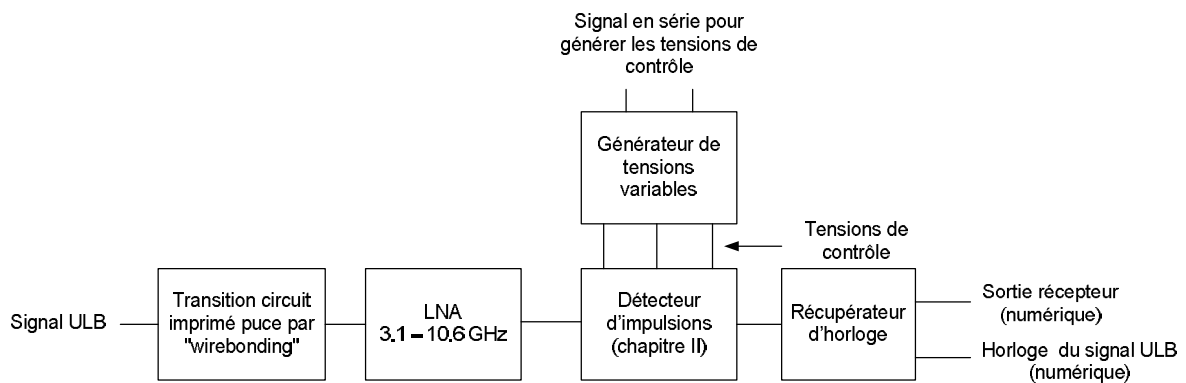


Figure 59 : Architecture du récepteur

III.4.b. Intégrité du signal

Le signal RF incident issu de l'antenne (qui est imprimée directement sur la carte support) est acheminé à l'entrée du LNA à l'aide de la transition puce - circuit imprimé passe bas d'ordre 3 présentée au chapitre I.

L'interfaçage du LNA et du détecteur à nécessité de redimensionner les largeurs de grille des transistors du deuxième étage du LNA afin de pouvoir fournir le courant dynamique nécessaire à l'entrée du détecteur. Par rapport au LNA prototype présenté au paragraphe III.3.a, cela se traduit par une augmentation de la taille des transistors et une augmentation de la consommation statique du LNA.

Le problème majeur dans l'intégration du récepteur réside dans les problèmes relatifs au découplage des différentes alimentations du circuit intégré. Il faut en effet éviter que les appels de courant se produisant au niveau des différents inverseurs présents dans le détecteur et dans les blocs "numériques" n'induisent des tensions parasites trop importantes sur les lignes d'alimentation et de masse du circuit intégré et perturbent de ce fait les circuits environnants et le LNA.

Un autre problème est lié à la très forte amplification (plusieurs dizaines de dB), effective dans une très large bande passante (plusieurs GHz), qui est présente entre l'entrée du LNA et la sortie de la chaîne d'inverseurs du détecteur. Un mauvais découplage dans la bande de fréquence entraîne rapidement une oscillation parasite.

Une des solutions que nous avons mise en œuvre au niveau du "layout" du système intégré a consisté à acheminer les alimentations (fixes et variables) des différents blocs par des pistes différentes avec en entrée et en sortie de chaque piste un "pavé capacitif" constitué par la mise en parallèle de capacités MIM et de capacités MOS.

Une autre solution a été d'acheminer les courants de retour par un plan de masse de faible impédance et de disposer toutes les mises à la masse des différents blocs ainsi que leurs "pads" de masse de manière à ne pas induire de différence de potentiel parasite de mode commun d'un bloc à l'autre. Les signaux sont acheminés par des lignes microbandes réalisées à l'aide du plan de masse (dessiné sur le niveau de métal le plus profond) et des rubans d'interconnexion (dessinés sur le niveau supérieur qui est le plus épais) [46]. Pour réaliser la séparation des différents courants, nous avons mis en œuvre 6 "pads" de masse connectés par des fils d'interconnexion de faible longueur.

Enfin, pour diminuer l'amplification en basses fréquences (en dessous de la bande ULB), nous avons placé une inductance (réalisée par un fil d'interconnexion) entre la sortie du LNA et le plan de masse.

La Figure 60 montre le layout du système intégré qui a été fabriqué. La valeur totale des capacités de découplage qui a été intégrée sur la puce et la surface approximative de silicium qui en découle valent respectivement 150 pF et 0.125 mm². La surface occupée par le récepteur (pads inclus et hors récupérateur d'horloge) est de 1.2 mm².

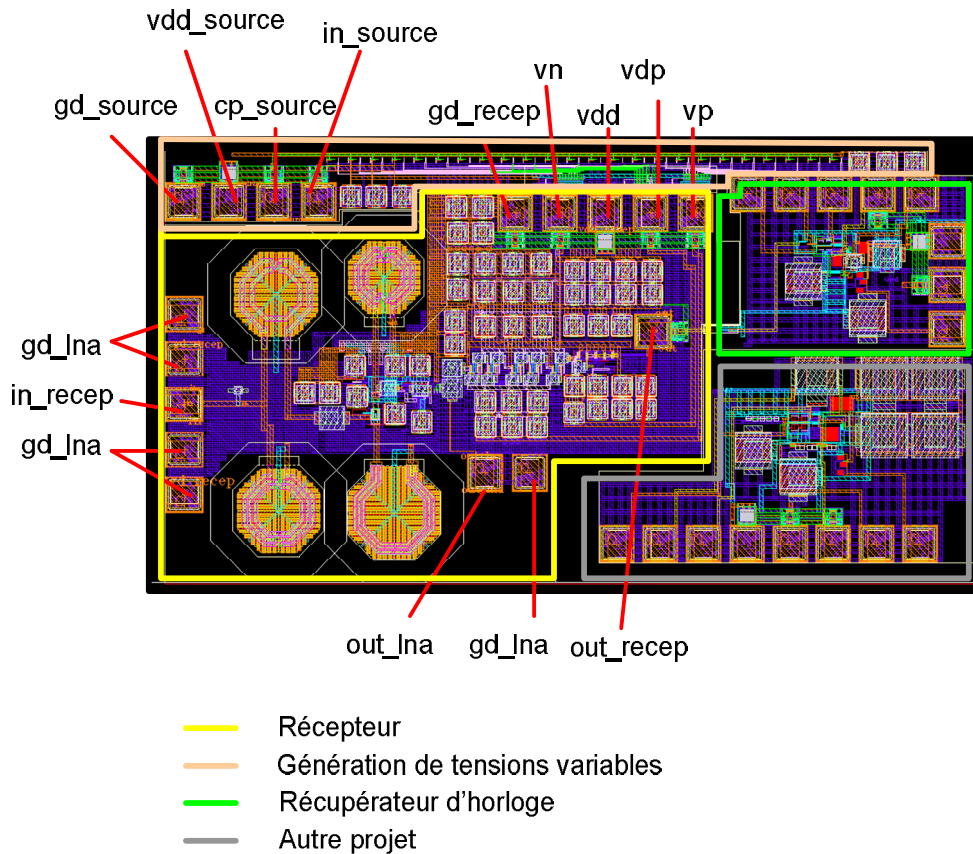


Figure 60 : Layout du récepteur

III.4.c. Résultats de simulation et performances

Le système intégré a été simulé en prenant en compte l'effet de tous les fils d'interconnexion et des capacités de découplage. Aucune source de tension idéale n'a été utilisée.

Les simulations temporelles, correspondant à l'application d'une série d'impulsions en entrée du récepteur (au niveau de la carte et avant la transition puce-carte) par un générateur d'impédance 50Ω , sont données sur la Figure 61.

A ces impulsions, nous avons ajouté en entrée du récepteur le bruit capté par l'antenne. La puissance de bruit captée par l'antenne peut être calculée à partir de (34).

$$P_{\text{bruit}} = 10 \log(kTB) \quad (34)$$

Avec k la constante de Boltzmann, T la température du système et B la bande passante équivalente du système. En supposant une température de 20°C , et une bande passante de 7.5 GHz , nous trouvons une puissance de bruit valant -75 dBm .

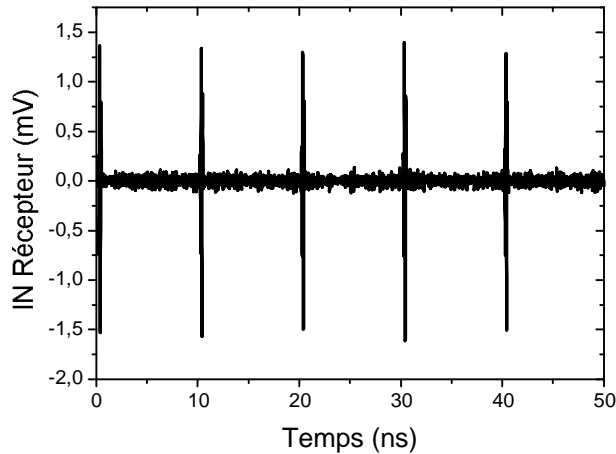


Figure 61 : Impulsions ULB en entrée du récepteur

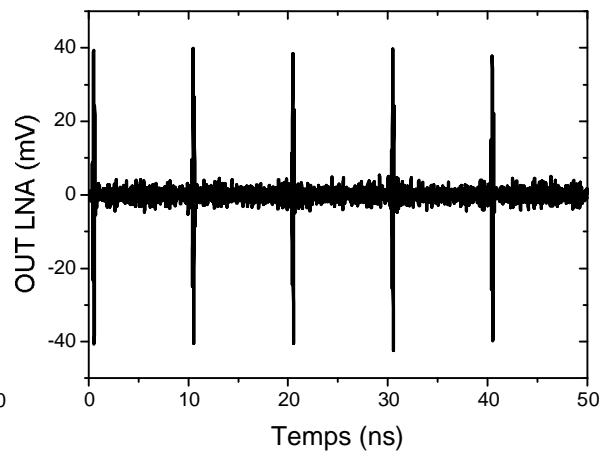


Figure 62 : Impulsion ULB en sortie du LNA

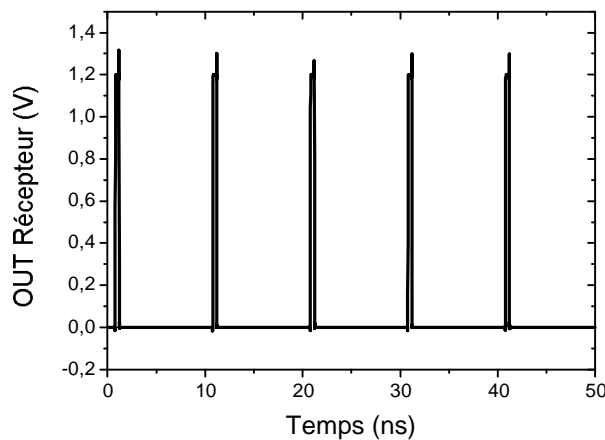


Figure 63 : Signal en sortie du récepteur

On peut vérifier sur la Figure 62 et la Figure 63 représentant respectivement la sortie du LNA et la sortie du récepteur que l'intégrité du signal est respectée et qu'aucune oscillation parasite n'est déclenchée. En simulation, nous détectons des impulsions de $820 \mu\text{Vpp}$ correspondant à une sensibilité de réception de $-98\text{dBm}@1\text{Mbps}$.

La Figure 64 et la Figure 65 montrent pour comparaison les tensions relevées en sortie du LNA et en sortie du détecteur lorsque la valeur de capacité de découplage sur silicium est insuffisante et l'inductance (le fil d'interconnexion) reliant la sortie du LNA à la masse est enlevée. Le système n'est plus stable et une oscillation est présente à la fréquence de 200 MHz. Ces oscillations proviennent d'un manque de capacités de découplage en basse fréquence sur la puce. Ce manque de capacité entraîne une variation basse fréquence de la tension d'alimentation comme le montre la Figure 66. Cette variation de la tension d'alimentation entraîne une variation de toutes les tensions de polarisation rendant le système instable.

Pour rendre le système stable, si l'on n'utilisait pas un fil d'interconnexion en sortie du LNA, il aurait fallu ajouter intégrer sur la puce une capacité de découplage de valeur plus importante ce qui aurait conduit à une surface de silicium plus importante. Nous avons donc préféré ajouter deux pads sur la puce pour connecter la sortie du LNA à la masse par deux fils d'interconnexions afin d'obtenir une surface de silicium plus faible.

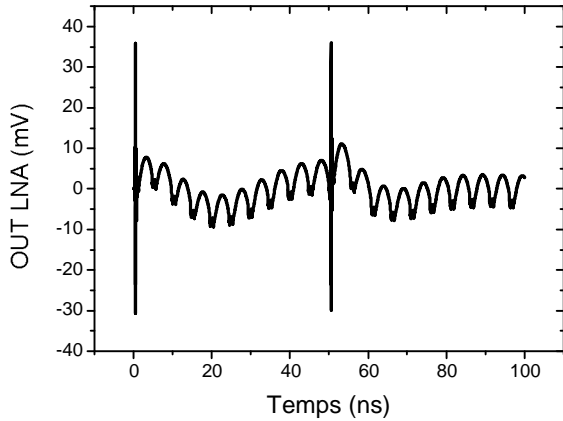


Figure 64 : Sortie du LNA lorsque le fil d'interconnexion à la masse en sortie du LNA est absent

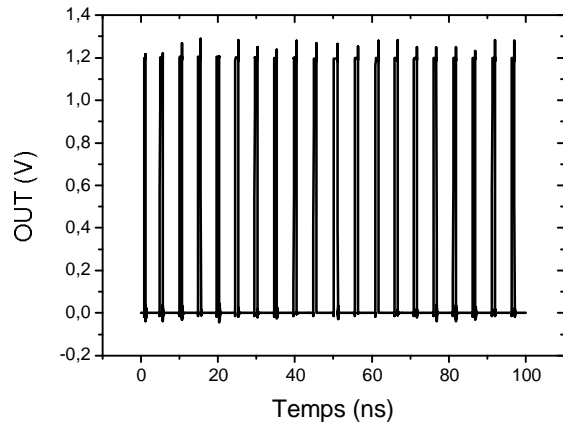


Figure 65 : Sortie du récepteur lorsque le fil d'interconnexion à la masse en sortie du LNA est absent

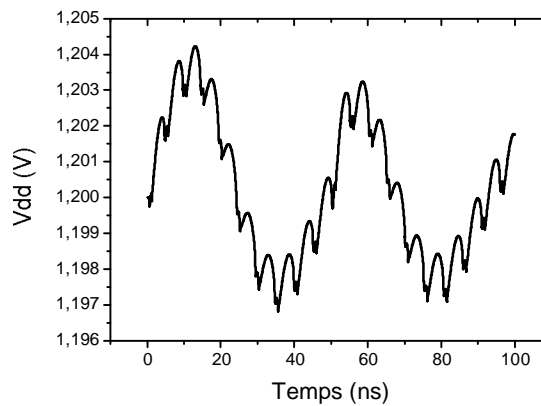


Figure 66 : Variation de la tension d'alimentation sur la puce lorsque le fil d'interconnexion à la masse en sortie du LNA est absent

Le Tableau 14 présente les caractéristiques du récepteur obtenues en simulation.

Techno. (μm)	Vdd (V)	Freq. (GHz)	Conso. (mW)	Energie consommée par bit (μJ)	Sensibilité	Surface occupée (mm^2)	Débit Max
CMOS 0.13	1.2	3.1 - 10.6	26.16 DC (LNA 22.1 DC) (Décteur 3.9 DC) 26.4 @100MHz	264	-91 dBm @1Mbps	1.2	100 Mbps

Tableau 14 : Performances du récepteur FCC

Ce récepteur présente une sensibilité semblable à celle que l'on peut obtenir avec les détecteurs super régénérateurs (voir chapitre II). La consommation du récepteur est de 26.4mW@100Mbps correspondant à une énergie consommée par bit de seulement 234 pJ. Pour des faibles débits, il est envisageable d'ajouter à ce détecteur un module de gestion d'énergie pour éteindre le récepteur entre deux impulsions.

IV. Conclusion

Ce chapitre a été consacré à l'intégration des récepteurs ULB non cohérents.

Nous avons présenté dans une première partie un état de l'art de l'amplification ULB pour la bande de fréquence 3 - 10 GHz. Nous avons comparé les performances des quatre principales architectures dans le contexte des récepteurs non cohérents et des applications faible coût. Dans un tel contexte, où le récepteur n'utilise pas de filtre externe pour des raisons de coût de revient, la topologie source commune à adaptation de type LC passe bande permet d'obtenir un bon compromis entre la consommation, le gain et les performances en bruit notamment grâce au contrôle de la bande passante qui permet d'obtenir des bandes équivalentes de bruit plus faibles.

Dans la deuxième partie nous avons décrit quelques conceptions de LNAs ainsi que l'intégration d'un récepteur dans la technologie HCMOS9. Les LNAs proposés concernent les bandes 3.1 - 10.6 GHz, 3.2 - 4.7 GHz et 6 - 8.5 GHz. Dans ces conceptions nous nous sommes attachés à prendre en compte l'interfaçage du LNA avec sa carte support et nous avons cherché à maximiser l'amplification qui est un paramètre important pour la réalisation de récepteurs non cohérents.

Dans la dernière partie nous avons présenté l'intégration d'un récepteur pour la bande 3.1 - 10.6 GHz. Le récepteur intègre toute la partie analogique et délivre en sortie les données mises en forme. Nous avons indiqué les procédures mises en œuvre au niveau du "layout" du circuit intégré qui ont permis de satisfaire l'intégrité du signal ULB et le bon fonctionnement du récepteur qui n'a pas encore été testé mais qui a été validé en simulation.

- [1] W. S. Percival, "Thermionic Valve Circuits," British Patent Specification no. 460,562, filed 24 July 1936, granted January 1937.
- [2] Beyer, J.B.; Prasad, S.N.; Becker, R.C.; Nordman, J.E.; Hohenwarter, G.K.; , "MESFET Distributed Amplifier Design Guidelines," *Microwave Theory and Techniques, IEEE Transactions on* , vol.32, no.3, pp. 268- 275, Mar 1984
- [3] Sullivan, P.J.; Xavier, B.A.; Ku, W.H.; , "An integrated CMOS distributed amplifier utilizing packaging inductance," *Microwave Theory and Techniques, IEEE Transactions on* , vol.45, no.10, pp.1969-1976, Oct 1997
- [4] Machiels, B.; Reynaert, P.; Steyaert, M.; , "Power efficient distributed low-noise amplifier in 90 nm CMOS," *Radio Frequency Integrated Circuits Symposium (RFIC), 2010 IEEE* , vol., no., pp.131-134, 23-25 May 2010
- [5] Zhang, F.; Kinget, P.R.; , "Low-power programmable gain CMOS distributed LNA," *Solid-State Circuits, IEEE Journal of* , vol.41, no.6, pp. 1333- 1343, June 2006
- [6] Yueh-Hua Yu; Chen, Y.-J.E.; Deukhyoun Heo; , "An ultra-low voltage UWB CMOS low noise amplifier," *Microwave Conference, 2006. APMC 2006. Asia-Pacific* , vol., no., pp.313-316, 12-15 Dec. 2006
- [7] Errikos Lourandakis; Fotis Plessas; Grigorios Kalivas "A 0.5 - 5.5 GHz Distributed Low Noise Amplifier," *ECTI Transactions on Electrical Eng., Electronics, and Communications*, vol.6, no.1 February 2008
- [8] Yu-Jiu Wang; Hajimiri, A.; , "A compact low-noise weighted distributed amplifier in CMOS," *Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International* , vol., no., pp.220-221,221a, 8-12 Feb. 2009
- [9] Ito, T.; Okada, K.; Masu, K.; , "Characterization of On-Chip Multiport Inductors for Small-Area RF Circuits," *Circuits and Systems I: Regular Papers, IEEE Transactions on* , vol.56, no.8, pp.1590-1597, Aug. 2009
- [10] Chirala, M.; Guan, X.; Huynh, C.; Nguyen, C.; , "Extremely wideband 0.18- μm CMOS compact distributed low-noise amplifier," *Antennas and Propagation Society International Symposium (APSURSI), 2010 IEEE* , vol., no., pp.1-4, 11-17 July 2010
- [11] Tienyu Chang; Jinghong Chen; Rigge, L.A.; Lin, J.; , "ESD-Protected Wideband CMOS LNAs Using Modified Resistive Feedback Techniques With Chip-on-Board Packaging," *Microwave Theory and Techniques, IEEE Transactions on* , vol.56, no.8, pp.1817-1826, Aug. 2008
- [12] Tienyu Chang; Jinghong Chen; Rigge, L.; Jenshan Lin; , "A Packaged and ESD-Protected Inductorless 0.1–8 GHz Wideband CMOS LNA," *Microwave and Wireless Components Letters, IEEE* , vol.18, no.6, pp.416-418, June 2008
- [13] Yo-Sheng Lin; Chang-Zhi Chen; Hong-Yu Yang; Chi-Chen Chen; Jen-How Lee; Guo-Wei Huang; Shey-Shi Lu; , "Analysis and Design of a CMOS UWB LNA With Dual-RLC-Branch Wideband Input

- Matching Network," *Microwave Theory and Techniques, IEEE Transactions on* , vol.58, no.2, pp.287-296, Feb. 2010
- [14] Hsien-Ku Chen; Yo-Sheng Lin; Shey-Shi Lu; , "Analysis and Design of a 1.6–28-GHz Compact Wideband LNA in 90-nm CMOS Using a π -Match Input Network," *Microwave Theory and Techniques, IEEE Transactions on* , vol.58, no.8, pp.2092-2104, Aug. 2010
- [15] Hsien-Ku Chen; Yuan-Chia Hsu; Ta-Yeh Lin; Da-Chiang Chang; Ying-Zong Juang; Shey-Shi Lu; , "CMOS wideband LNA design using integrated passive device," *Microwave Symposium Digest, 2009. MTT '09. IEEE MTT-S International* , vol., no., pp.673-676, 7-12 June 2009
- [16] Hsien-Ku Chen; Da-Chiang Chang; Ying-Zong Juang; Shey-Shi Lu; , "A Compact Wideband CMOS Low-Noise Amplifier Using Shunt Resistive-Feedback and Series Inductive-Peaking Techniques," *Microwave and Wireless Components Letters, IEEE* , vol.17, no.8, pp.616-618, Aug. 2007
- [17] Reih, M.T.; Long, J.R.; , "A 1.2 V Reactive-Feedback 3.1–10.6 GHz Low-Noise Amplifier in 0.13 μm CMOS," *Solid-State Circuits, IEEE Journal of* , vol.42, no.5, pp.1023-1033, May 2007
- [18] Po-Yu Chang; Hsu, S.S.H.; , "A Compact 0.1–14-GHz Ultra-Wideband Low-Noise Amplifier in 0.13- μm CMOS," *Microwave Theory and Techniques, IEEE Transactions on* , vol.58, no.10, pp.2575-2581, Oct. 2010
- [19] K.-H. Chen, J.-H. Lu, B.-J. Chen, S.-I. Liu, "An Ultra-Wide-Band 0.4–10-GHz LNA in 0.18- μm CMOS", *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: EXPRESS BRIEFS*, VOL. 54, NO. 3, MARCH 2007, pp. 217-221.
- [20] C.-F. Liao, S.-I. Liu, "A Broadband Noise-Canceling CMOS LNA for 3.1–10.6-GHz UWB Receivers", *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL. 42, NO. 2, FEBRUARY 2007, pp. 329-339.
- [21] Chang-Ching Wu; Xuening Sun; Sangiovanni-Vincentelli, A.; Rabaey, J.M.; , "A 2.2mW CMOS LNA for 6–8.5GHz UWB receivers," *Circuits and Systems (ISCAS), Proceedings of 2010 IEEE International Symposium on* , vol., no., pp.1631-1634, May 30 2010-June 2 2010
- [22] Ro-Min Weng; Chun-Yu Liu; Po-Cheng Lin; , "A Low-Power Full-Band Low-Noise Amplifier for Ultra-Wideband Receivers," *Microwave Theory and Techniques, IEEE Transactions on* , vol.58, no.8, pp.2077-2083, Aug. 2010
- [23] Heng Zhang; Xiaohua Fan; Sinencio, E.S.; , "A Low-Power, Linearized, Ultra-Wideband LNA Design Technique," *Solid-State Circuits, IEEE Journal of* , vol.44, no.2, pp.320-330, Feb. 2009
- [24] Chung-Yu Wu; Yi-Kai Lo; Min-Chiao Chen; , "A 3–10 GHz CMOS UWB Low-Noise Amplifier With ESD Protection Circuits," *Microwave and Wireless Components Letters, IEEE* , vol.19, no.11, pp.737-739, Nov. 2009
- [25] Axholt, A.; Ahmad, W.; Sjolund, H.; , "A 90nm CMOS UWB LNA," *NORCHIP, 2008.* , vol., no., pp.25-28, 16-17 Nov. 2008
- [26] Bo Shi; Chia, M.; , "A CMOS ESD-protected RF front-end for UWB receiver," *ESSCIRC, 2009. ESSCIRC '09. Proceedings of* , vol., no., pp.252-255, 14-18 Sept. 2009

- [27] A. Bevilacqua, A. M. Niknejad, "An Ultrawideband CMOS Low Noise Amplifier For 3.1-10.6-GHz Wireless Receivers", *IEEE Journal of Solid-State Circuits*, 2004, 39, (12), pp. 2259-2268.
- [28] A. Bevilacqua, C. Sandner, A. Gerosa, A. Neviani, "A Fully Integrated Differential CMOS LNA for 3–5-GHz Ultrawideband Wireless Receivers", *IEEE Microwave and Wireless Components Letters*, 2006, 16, (3) pp. 134-136.
- [29] "6-10 GHz Ultra Wide-Band CMOS LNA", M. BATTISTA, J. GAUBERT, M. EGELS, S. BOURDEL, H. BARTHÉLEMY, *Electronics Letters*, February 2008, 44, (5), pp. 343-344.
- [30] "Design and implementation of UWB CMOS LC filters LNA for carrier less impulse radio receivers", Battista M., Gaubert J., Fanei A., Bachelet Y., Egels M., Pannier Ph., Bourdel S., Barthelemy H., Bas G., , *Analog Integr Circ Sig Process*, February 2010, DOI 10.1007/s10470-009-9401-z
- [31] "Design Method For Fully Integrated CMOS RF LNA", M. EGELS, J. GAUBERT, PH. PANNIER, S. BOURDEL, *Electronics Letters*, 2004, 40, (7), pp. 382-384.
- [32] "High Voltage Gain CMOS LNA For 6-8.5 GHz UWB Receivers", M. BATTISTA, J. GAUBERT, M. EGELS, S. BOURDEL, H. BARTHÉLEMY, *IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II, EXPRESS BRIEFS*, VOL. 55, NO. 8, AUGUST 2008, pp. 713, 717.
- [33] H-J Lee, D. S. Ha, S. S. Choi, "A 3 to 5GHz CMOS UWB LNA with Input Matching using Miller Effect", 2006 IEEE International Solid-State Circuits Conference.
- [34] Chang-Tsung Fu; Chien-Nan Kuo; Taylor, S.S.; , "Low-Noise Amplifier Design With Dual Reactive Feedback for Broadband Simultaneous Noise and Impedance Matching," *Microwave Theory and Techniques, IEEE Transactions on* , vol.58, no.4, pp.795-806, April 2010
- [35] Zhe-Yang Huang; Che-Cheng Huang; Yeh-Tai Hung; Meng-Ping Chen; , "A CMOS current reused low-noise amplifier for ultra-wideband wireless receiver," *Microwave and Millimeter Wave Technology, 2008. ICMMT 2008. International Conference on* , vol.3, no., pp.1499-1502, 21-24 April 2008
- [36] Wang Chunhua; Du Chao; , "A New Two-Stage Ultra-Wide-Band 1-10-GHz Low Noise Amplifier," *Wireless Communications, Networking and Mobile Computing, 2008. WiCOM '08. 4th International Conference on* , vol., no., pp.1-4, 12-14 Oct. 2008
- [37] Pepe, D.; Zito, D.; , "22.7-dB Gain -19.7-dBm ICP_{1dB} UWB CMOS LNA," *Circuits and Systems II: Express Briefs, IEEE Transactions on* , vol.56, no.9, pp.689-693, Sept. 2009
- [38] Fu-Yi Han; Kung-Chung Lu; Tzyy-Sheng Horng; Jenshan Lin; Hung-Hsiang Cheng; Chi-Tsung Chiu; Chih-Pin Hung; , "Packaging effects on the figure of merit of a CMOS cascode low-noise amplifier: Flip-chip versus wire-bond," *Microwave Symposium Digest, 2009. MTT '09. IEEE MTT-S International* , vol., no., pp.601-604, 7-12 June 2009
- [39] Sivonen, P.; Kangasmaa, S.; Parssinen, A.; , "Analysis of packaging effects and optimization in inductively degenerated common-emitter low-noise amplifiers," *Microwave Theory and Techniques, IEEE Transactions on* , vol.51, no.4, pp. 1220- 1226, Apr 2003
- [40] Bo Shi; Yan Wah Chia, M.; , "A CMOS Receiver Front-End for 3.1-10.6 GHz Ultra-Wideband Radio," *Microwave Conference, 2006. 36th European* , vol., no., pp.1829-1832, 10-15 Sept. 2006

- [41] Sivonen, P.; Parssinen, A.; , "Analysis and optimization of packaged inductively degenerated common-source low-noise amplifiers with ESD protection," *Microwave Theory and Techniques, IEEE Transactions on* , vol.53, no.4, pp. 1304- 1313, April 2005
- [42] Anatol I. Zverev, "Handbook of Filter Synthesis", John Willey & Sons (New York, 1967).
- [43] Gaubert, J.; Battista, M.; Fourquin, O.; Bourdel, S.; - Chapter 10 : Design and Implementation of UWB CMOS LC filter LNA, in Ultra Wideband, Edited by Boris Lembrikov at SCIYO. ISBN 978-953-307-139-8 September 2010
- [44] Lee, F.S.; Chandrakasan, A.P.; , "A 2.5 nJ/bit 0.65 V Pulsed UWB Receiver in 90 nm CMOS," *Solid-State Circuits, IEEE Journal of* , vol.42, no.12, pp.2851-2859, Dec. 2007
- [45] Masson, G.; Morche, D.; Jacquinet, H.; Vincent, P.; Dehmas, F.; Paquelet, S.; Bisiaux, A.; Fourquin, O.; Gaubert, J.; Bourdel, S.; , "A 1 nJ/b 3.2-to-4.7 GHz UWB 50 Mpulses/s double quadrature receiver for communication and localization," *ESSCIRC, 2010 Proceedings of the* , vol., no., pp.502-505, 14-16 Sept. 2010
- [46] Gaubert, J.; Battista, M.; Fourquin, O.; Bourdel, S.; - Chapter 10 : Design and Implementation of UWB CMOS LC filter LNA, in Ultra Wideband, Edited by Boris Lembrikov at SCIYO. ISBN 978-953-307-139-8 September 2010

V. Annexe

V.1. Structures d'inverseurs d'admittances

V.1.a. Inverseur d'admittance inductif

L'architecture d'un inverseur d'admittance inductif est représentée à la Figure 67. Celui-ci est composé de 2 inductances négatives parallèles et une inductance série.

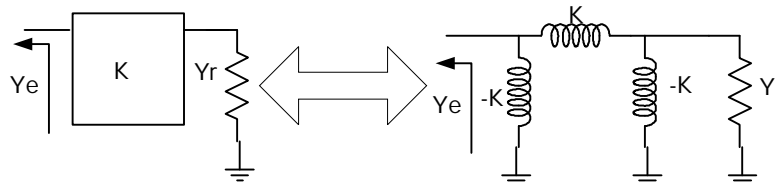


Figure 67 : Inverseur d'admittance inductif

Les calculs de l'impédance vue en entrée sont présentés en (35) (36) (37).

$$y_e = \frac{1}{\frac{1}{y_r - \frac{1}{K * p}} + K * p} - \frac{1}{K * p} = \frac{1}{\frac{K * p}{y_r * K * p - 1} + K * p} - \frac{1}{K * p} \quad (35)$$

$$y_e = \frac{y_r * K * p - 1}{y_r * K^2 * p^2} - \frac{1}{K * p} = -\frac{1}{y_r * K^2 * p^2} \quad (36)$$

Avec p variable de Laplace $p = i * \omega$

En bande étroite, ω est proche de 1. On peut déduire :

$$y_e = \frac{1}{K^2 * y_r} \quad (37)$$

L'inversion d'admittance en bande étroite est bien obtenue.

V.1.b. Inverseur d'admittance capacitif

L'architecture d'un inverseur d'admittance capacitif est représentée à la Figure 68. Celui-ci est composé de 2 capacités négatives parallèles et une capacité série.

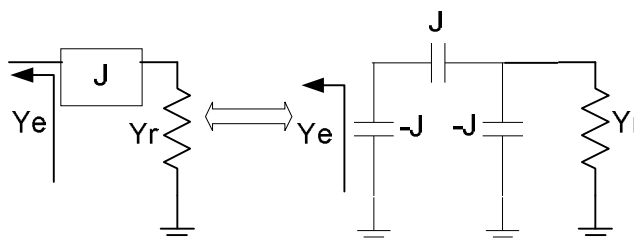


Figure 68 : Inverseur d'admittance capacitif

Les calculs de l'impédance vue en entrée sont présentés en (38) (39).

$$y_e = \frac{1}{\frac{1}{J^* p} + \frac{1}{-J^* p + y_r}} - J^* p = \frac{-J^2 * p^2 + y_r * J^* p}{y_r} - J^* p = \frac{-J^2 * p^2}{y_r} \quad (38)$$

Avec p variable de Laplace $p = i * w$

En bande étroite, w est proche de 1. On peut déduire :

$$y_e = \frac{J^2}{y_r} \quad (39)$$

L'inversion d'admittance en bande étroite est bien obtenue.

V.1.c. Inverseur d'admittance par une ligne lambda/4

La structure d'un inverseur avec une ligne quart d'onde est représentée à la Figure 69.

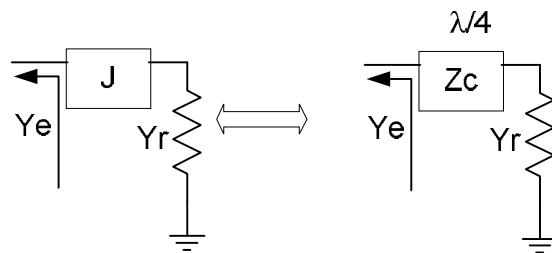


Figure 69 : Inverseur à base d'une ligne $\lambda/4$

A partir de la formule des télégraphistes (40), on peut déduire la charge ramenée par une ligne d'impédance Z_c et de longueur l .

$$Z_e = Z_c * \frac{Z_l + Z_c * th(\gamma * l)}{Z_c + Z_l * th(\gamma * l)} \quad (40)$$

$\gamma = \alpha + i * \beta$: constante de propagation

α perte

$\beta * l = \frac{2 * \pi}{\lambda} * l$ déphasage

λ : longueur d'onde

En choisissant une longueur de ligne tel que $l = \lambda/4$, on peut calculer l'impédance ramener en entrée (41) à (45).

$$\gamma * l = \frac{2 * \pi}{\lambda} \frac{\lambda}{4} = \frac{\pi}{2} \quad (41)$$

$$th(\gamma * l) = \infty \quad (42)$$

$$Z_e = \frac{Z_c^2}{Z_l} \quad (43)$$

$$z_e = \frac{z_c^2}{z_l} \quad (44)$$

$$ye = \frac{1}{z_c^2 * y_l} = \frac{1}{J^2 * y_l} \quad (45)$$

L'inversion d'admittance en bande étroite est bien obtenue.

V.2. Démonstration résistance de sortie

La sortie du filtre normalisé est représenté à la Figure 70.a. Ici, nous nous proposons de démontrer l'équivalence entre l'architecture de la Figure 70.a et de la Figure 70.b.

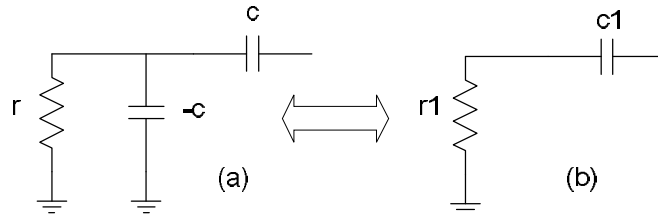


Figure 70 : Equivalence des deux modèles normalisés en bande étroite

L'impédance normalisée du circuit (a) est calculé en (46)

$$z = \frac{r}{1 - r * c * p} + \frac{1}{c * p} = \frac{1}{c * p - r * c^2 * p^2} \quad (46)$$

Avec p variable de Laplace $p = i * w$

En bande étroite, w est proche de 1. On peut déduire (47).

$$z = \frac{1}{r^2 * c^2 + i * c} = \frac{r * c^2 - i * c}{r^2 * c^4 + c^2} \quad (47)$$

En égalisant les parties réelles et imaginaires des deux modèles on obtient la correspondance entre les éléments des deux modèles en bande étroite (48) à (50).

$$r_1 = \frac{r * c^2}{r^2 * c^4 + c^2} = \frac{r}{r^2 * c^2 + 1} \quad (48)$$

$$\frac{1}{c_1} = \frac{c}{r^2 * c^4 + c^2} \quad (49)$$

$$c_1 = c * (1 + r^2 * c^2) \quad (50)$$

CHAPITRE IV

INTEGRATION D'EMETTEURS RECEPTEURS ULB EN TECHNOLOGIE "SYSTEM IN PACKAGE"

Sommaire

I.	Introduction	151
II.	Intégration d'un commutateur d'antenne dans les émetteurs-récepteurs pour applications ULB.....	152
II.1.	Introduction.....	152
II.2.	Etat de l'art des commutateurs intégrés sur silicium	153
II.3.	Evaluation des performances d'un commutateur intégré dans la technologie CMOS standard utilisée	157
II.4.	Intégration de la transition puce - circuit imprimé dans la conception du commutateur	158
III.	Intégration d'un émetteur ULB en technologie SiP pour la bande de fréquences 3.1-10.6GHz	159
III.1.	Introduction.....	159
III.2.	Conception de l'antenne	159
III.3.	Conception de la carte comprenant l'émetteur et la puce	160
III.4.	Performances du SiP prototype.....	163
IV.	Conception de SiPs miniatures pour les applications ULB dans la bande de fréquence 3.1 - 10.6GHz	164
IV.1.	Introduction.....	164
IV.2.	SiP miniature pour la bande de fréquence 3.1 - 10.6GHz.....	165
IV.3.	Effet du boîtier et de la carte mère sur le rayonnement de l'antenne.....	166
IV.3.a.	Simulation de l'antenne originelle.....	166
IV.3.b.	Effet des plots de soudure sur l'adaptation de l'antenne et son diagramme de rayonnement	168
IV.3.c.	Effet de l'ajout d'une carte mère en FR4 sous le boîtier FCC sur l'adaptation de l'antenne et sur son diagramme de rayonnement	169
IV.3.d.	Evaluation de la bande passante des interconnexions vers la carte mère	171
IV.4.	Réalisation d'un boîtier miniature pour les applications ULB dans la bande de fréquence 6-8.5GHz	173
V.	Conclusion.....	174

I. Introduction

Dans ce chapitre nous nous intéressons à l'intégration des émetteurs et des récepteurs ULB de type impulsif en technologie "System in Package" (SiP). Les applications visées par les travaux relatifs à cette thèse concernent les applications à faible coût de fabrication principalement pour les domaines de la RFID et des réseaux corporels (BAN). Dans ce type d'applications on peut rencontrer trois types différents d'architectures pour la transmission ULB : (i) une architecture symétrique classique où chaque élément du réseau est capable d'émettre et de recevoir les signaux ULB, (ii) une architecture dissymétrique qui présente un intérêt pour des applications de localisation en RFID [1] [2] où certains constituants du réseau (les tags dans un système RFID) ont des performances dégradées par rapport aux autres constituants du réseau (les lecteurs dans un système RFID) et ne sont capables que d'émettre le signal ULB, (iii) une architecture dérivée de la précédente où le lien ULB est toujours unidirectionnel et qui met en œuvre des constituants qui sont soit des émetteurs soit des récepteurs. La Figure 1 illustre un exemple d'application d'une architecture dissymétrique dans un système RFID localisant.

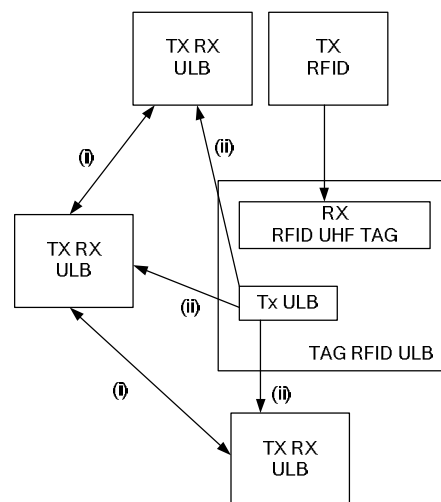


Figure 1 : Exemple d'un système RFID utilisant des communications ULB (i) symétriques et (ii) dissymétriques pour la localisation.

Le premier type d'architecture présente un intérêt pour les applications de type BAN. Dans ce type d'application le degré de miniaturisation de l'objet communicant ULB est de première importance. Une intégration sous la forme d'un SiP incluant l'antenne, le récepteur, l'émetteur et un commutateur d'antenne permet une miniaturisation du système global. Les deuxième et troisième architectures sont particulièrement bien adaptées pour la réalisation de systèmes de localisation utilisant des tags passifs. Comme décrit dans [2] les tags passifs sont télé-alimentés par un lien montant fonctionnant en UHF alors que le lien descendant utilise des signaux ULB impulsifs qui permettent une localisation précise du tag par les récepteurs ULB des lecteurs. Dans ces applications le tag peut être réalisé sous la forme d'un SiP incluant une puce RFID UHF, un émetteur ULB, une antenne UHF et une antenne ULB comme le montre la Figure 2.

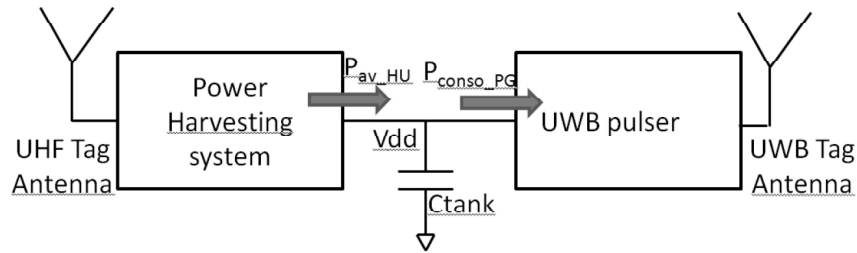


Figure 2 : SiP RFID - ULB [2]

Dans la première partie de ce chapitre nous étudions les possibilités d'intégration sur silicium d'un commutateur d'antenne permettant d'interfacer un émetteur-récepteur intégré avec une antenne unique. La deuxième partie présente la réalisation et la caractérisation d'un SiP incluant une antenne et un émetteur ULB pour la bande de fréquence 3.1-10.6GHz. La dernière partie présente la conception de deux SiPs miniatures pour les bandes de fréquences 3.1-10.6 GHz et 6-8.5 GHz.

II. Intégration d'un commutateur d'antenne dans les émetteurs-récepteurs pour applications ULB

II.1. Introduction

Une possibilité pour réaliser un émetteur - récepteur consiste à utiliser deux antennes : une pour la réception et une pour l'émission. Cette solution présente deux inconvénients majeurs : (i) l'antenne étant généralement la partie la plus grande du système, la taille minimale du système final est donc presque doublée par rapport à celle d'un système n'intégrant qu'une seule antenne, (ii) l'intégration de deux antennes sur un même circuit imprimé présente des difficultés liées au couplage entre les antennes d'émission et de réception.

Une autre possibilité consiste à utiliser une seule antenne et à éteindre la partie du circuit ne fonctionnant pas pendant la phase d'émission ou de réception. Avec cette solution, les éléments passifs de la partie éteinte peuvent perturber la partie active du système et ainsi dégrader les performances de la partie émission ou réception.

La solution la plus courante pour séparer la partie émission de la partie réception est d'utiliser un duplexeur d'antenne réalisé à partir d'un circulateur ou d'un commutateur. La Figure 3 illustre ces deux possibilités.

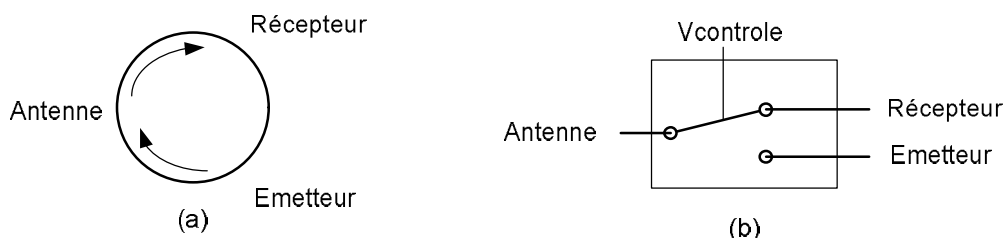


Figure 3 : Utilisation d'un circulateur (a) et d'un commutateur (b) dans un système d'émission réception

Les circulateurs sont des composants non réciproques à trois ports qui permettent d'aiguiller l'onde issue de l'antenne vers le récepteur et l'onde issue de l'émetteur vers l'antenne de manière simultanée et sans la nécessité d'un circuit de commande. Il existe deux types de circulateurs. Les circulateurs passifs qui utilisent généralement un matériau magnétique de type ferrite. Ces

circulateurs peuvent être large bande et avoir de très bonnes performances mais ils ne conviennent pas pour des applications nécessitant un haut degré de miniaturisation et un faible coût.

On peut réaliser des dispositifs actifs qui présentent les propriétés des circulateurs mais avec des performances moindres. [3] présente une réalisation d'un pseudo circulateur large bande en technologie CMOS. Les faiblesses de ce type de structures intégrées sur des technologies CMOS standard résident principalement dans des pertes d'insertion élevées et dans un facteur de bruit trop important.

Les commutateurs, comme les circulateurs, permettent l'aiguillage des signaux de l'antenne vers le récepteur ou vers l'émetteur. Néanmoins les deux voies ne sont pas disponibles simultanément et une commande doit être implémentée. Plusieurs possibilités peuvent être utilisées pour réaliser un commutateur. On peut réaliser le commutateur sur le circuit imprimé en utilisant des composants discrets [4], intégrer le commutateur avec une technologie performante à faibles pertes comme la technologie GaAS [5] ou la technologie MeMs [6] [7] par exemple ou bien intégrer le commutateur avec l'émetteur et le récepteur dans la même technologie de fabrication. Les deux premières solutions permettent de réaliser des commutateurs performants mais entraînent une augmentation conséquente du coût de fabrication. L'intégration d'un commutateur en technologie CMOS standard est une solution attrayante dans le cadre de nos applications mais son principal inconvénient est d'entraîner une augmentation des pertes d'insertion.

Dans le cadre de nos applications, où le degré de miniaturisation et le coût de fabrication sont des critères de performance importants, l'utilisation d'un commutateur d'antenne, réalisé dans la même technologie que celle utilisée pour l'intégration de l'émetteur récepteur, est la solution potentiellement la plus intéressante lorsque les pertes d'insertion peuvent être compatibles avec la portée souhaitée. Dans la suite de ce chapitre nous nous intéressons exclusivement aux commutateurs intégrés dans une technologie CMOS.

II.2. Etat de l'art des commutateurs intégrés sur silicium

Les principales caractéristiques d'un commutateur sont : (i) les coefficients de réflexion présentés par les différentes entrées, (ii) les pertes d'insertion entre l'antenne et la partie active, (iii) l'isolation entre la partie active et la partie non active, (iv) et le point de compression à 1 dB.

L'architecture typique d'un commutateur intégré sur silicium est représentée sur la Figure 4. Lorsque la tension de commande V_{ctrl} est à l'état haut, le transistor M2 est passant. Le signal est alors transmis entre l'émetteur et l'antenne. Les transistors M1 et M4 sont bloqués pour atténuer le moins possible le signal issu de l'émetteur. Le transistor M3 est actif et permet une meilleure isolation entre les parties émission et réception. Lorsque la tension de commande V_{ctrl} est à l'état bas l'état des transistors est inversé par rapport à la situation précédente. Le signal provenant de l'antenne trouve ainsi un chemin privilégié vers le LNA.

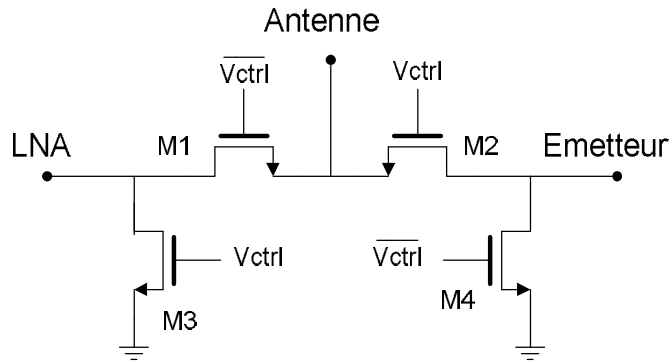


Figure 4 : Architecture typique d'un commutateur intégré à transistors MOS

La vue en coupe d'un transistor NMOS multi-grilles avec ses éléments parasites est représentée sur la Figure 5.a. Un modèle électrique équivalent simplifié d'un transistor NMOS valide pour l'état passant et l'état bloqué est présenté sur la Figure 5.b. Lorsque le transistor est bloqué la valeur de la résistance R_{ch} est importante. Lorsque le transistor est passant cette résistance devient faible.

Les pertes d'insertion du commutateur sont directement liées à cette résistance R_{ch} . Pour minimiser ces pertes, il faut que R_{ch} soit le plus faible possible lorsque le commutateur est passant. Les capacités parasites dégradent les performances du commutateur avec la fréquence. La résistance R_{sub} qui modélise les pertes par le substrat agit aussi sur le point de compression à 1 dB [8].

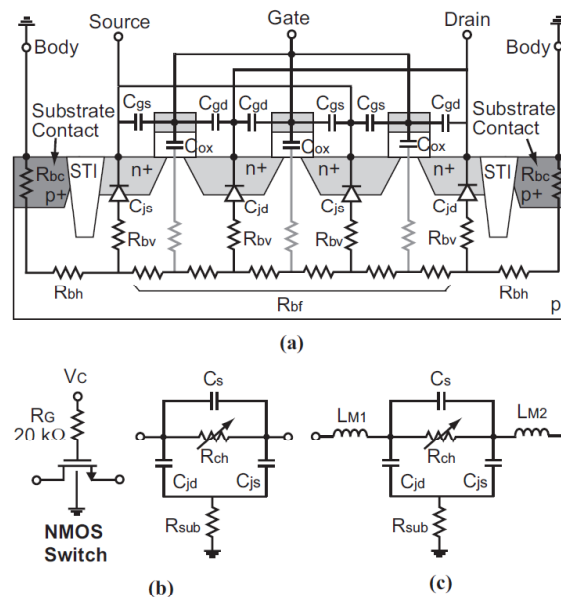


Figure 5 : (a) Vue en coupe d'un transistor NMOS 3 doigts. (b) Modèle électrique du transistor NMOS passant ou bloqué. (c) Adaptation de l'entrée et du transistor NMOS avec des inductances [8]

En [8], pour diminuer les pertes d'insertion, les auteurs utilisent des transistors ayant une largeur de grille importante pour réduire la valeur de R_{ch} . Cependant en agrandissant la taille de la grille, la valeur des capacités parasites C_{jd} et C_{js} augmente également. Pour compenser ces capacités, les auteurs ajoutent des inductances en série pour réaliser une adaptation de type LCL comme le montre la Figure 5.c et la Figure 6. Avec cette technique, un commutateur fonctionnant du continu jusqu'à 30 GHz a été obtenu. Celui-ci présente des pertes d'insertion inférieures à 3.3 dB, un coefficient de réflexion inférieur à -15 dB et une isolation supérieure à 22 dB.

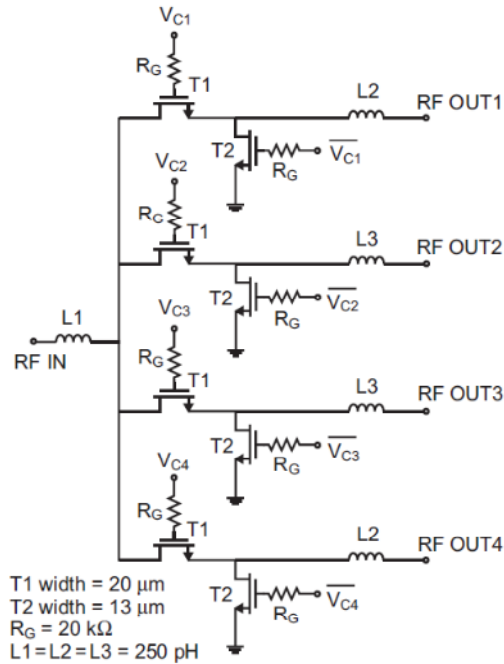


Figure 6 : Architecture du commutateur présenté en [8]

En [9], pour augmenter la valeur du point de compression à 1 dB, les auteurs proposent de réaliser les transistors NMOS dans un puits de type N. La vue en coupe d'un transistor NMOS dans un puits de type N est représentée sur la Figure 7.

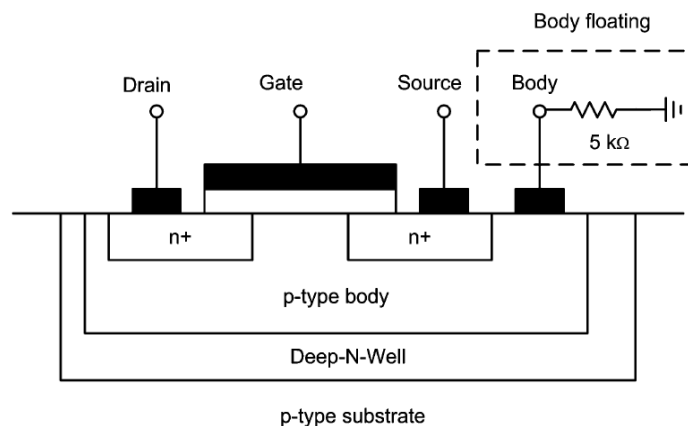


Figure 7 : Vue en coupe d'un transistor NMOS réalisé dans un puits [9]

Le modèle électrique d'un transistor NMOS série passant pour un signal de forte amplitude est représenté sur la Figure 8.b. Dans une technologie CMOS standard avec un seul substrat, la sortie "substrat" est connectée à la masse. Lorsqu'un signal de forte puissance est appliqué, la partie négative du signal peut dépasser le seuil de la diode la rendant ainsi passante. La source et le drain sont alors reliés à la masse et le signal n'est plus transféré entre le drain et la source.

En utilisant un puits et en le connectant à une impédance de forte valeur (5 K Ω en [9]), un signal de forte valeur activera toujours les diodes mais ne disposera pas d'un chemin direct vers la masse (Figure 8.c). Le signal passe ainsi par l'impédance de plus faible valeur (R_{ON}). Ainsi le transfert du signal entre le drain et la source est peu perturbé par l'activation des diodes, augmentant la valeur du point de compression.

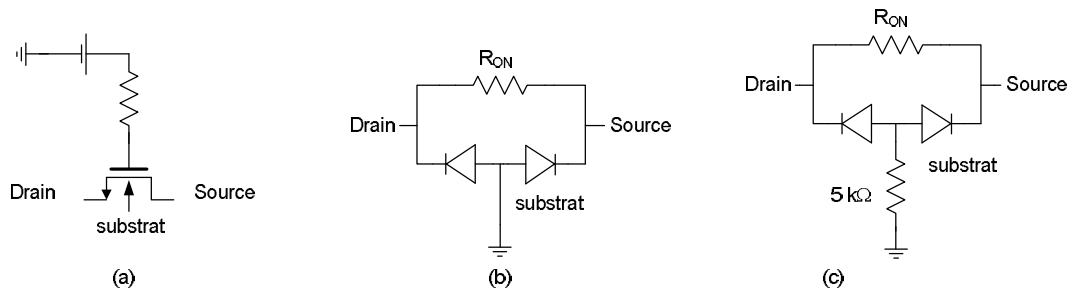


Figure 8 : (a) Schématisation d'un transistor série. (b) Modèle électrique équivalent sans puits. (c) Modèle électrique équivalent avec puits.

Cependant cette solution nécessite de réaliser le commutateur dans une technologie disposant de puits, ce qui augmente le coût de la puce.

Une autre solution utilisée pour augmenter les performances de linéarité consiste à utiliser des transistors à zone de déplétion étendue (DETs) [10]. Néanmoins cela nécessite de disposer d'une technologie non standard.

Le Tableau 1 présente les performances publiées de commutateurs intégrés utilisant une technologie CMOS. Ces résultats montrent qu'il est possible d'intégrer un commutateur en technologie CMOS sans augmentation notable de la surface de silicium (par rapport à la surface d'un émetteur-récepteur intégré) et avec des pertes d'insertion relativement faibles. Dans le contexte particulier de nos travaux, les puissances maximales d'émission étant drastiquement contraintes par les normes ULB en vigueur, le point de compression atteint par les commutateurs utilisant une technologie standard est suffisant.

Ref	Fréq. (GHz)	IL (dB)	RL (dB)	Isolation (dB)	Taille (mm ²)	Techno.	P _{1dB} (dBm)
[11]	15	1.8	> 12.5	17.8	0.25	Standard CMOS 0.13	21.5
[12]	DC - 50	< 6	NC	>38	0.14	Standard CMOS 0.18	17.4
[13]	0.45 - 13	2.2 - 4.2	> 12	>34	0.9	Standard CMOS 0.25	NC
[14]	3 - 10	3.1 - 4.4	> 14	>25	0.63	Standard CMOS 0.18	18
[15]	0 - 10	1.9-2.5	> 10	>25	0.03	Standard CMOS 0.18	28
[16]	24	3.5	> 10	> 16	0.018	3 puits CMOS 0.09	28.7
[17]	DC - 20	< 2.5	> 8	> 25	0.06	3 puits CMOS 0.18	19.8

Tableau 1 : Performances publiées de commutateurs intégrés en technologie CMOS

¹ partie active

Dans le paragraphe suivant, nous présentons la conception d'un commutateur dans la technologie CMOS utilisée (HCMOS9) dans le but de pouvoir évaluer les performances en terme de pertes d'insertion qu'il est possible d'atteindre.

II.3. Evaluation des performances d'un commutateur intégré dans la technologie CMOS standard utilisée

L'architecture du commutateur choisie est identique à celle représentée sur la Figure 4. Le compromis perte d'insertion isolation est principalement réglé par les largeurs relatives des transistors série et shunt [9]. Le meilleur compromis a été obtenu pour les valeurs suivantes : ($M1=M2=60\mu\text{m}$ et $M3=M4=31\mu\text{m}$)

Les pertes d'insertion et l'isolation entre les différentes voies obtenues par simulation en utilisant le "design kit" de la technologie sont représentées de la Figure 9 à la Figure 12 (courbes (a)).

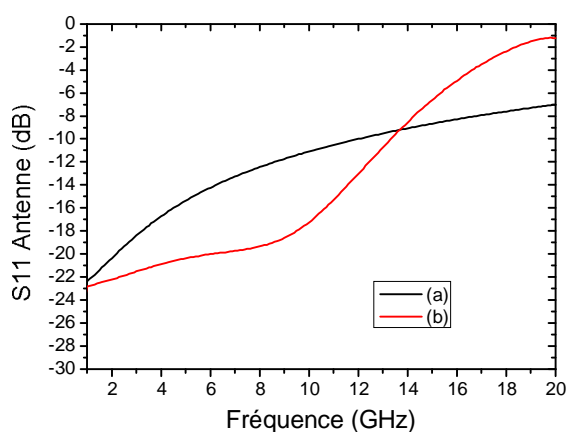


Figure 9 : Coefficient de réflexion du circuit vu de l'antenne. (a) commutateur Figure 4, (b) commutateur Figure 13

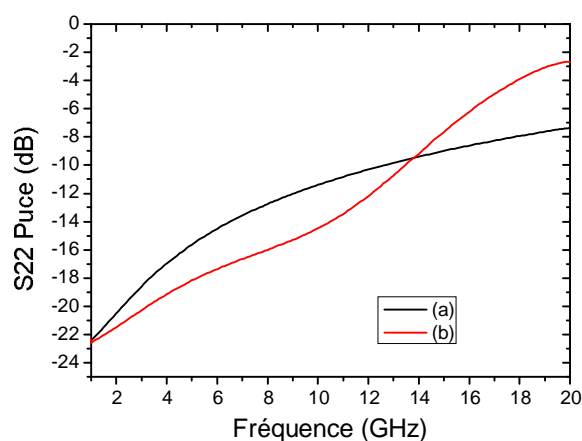


Figure 10 : Coefficient de réflexion du circuit vu du LNA ou du générateur (si passant). (a) commutateur Figure 4, (b) commutateur Figure 13

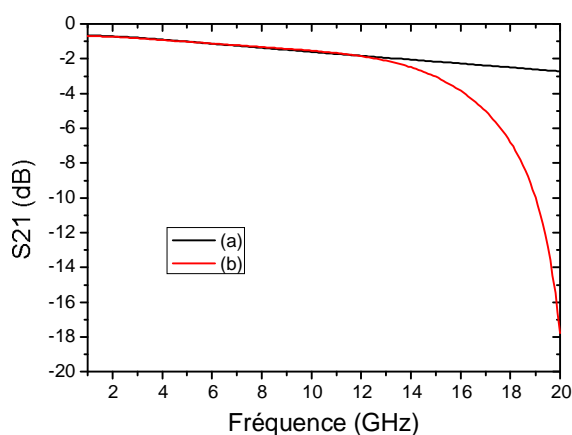


Figure 11 : Coefficient de transmission de l'antenne au circuit (si passant). (a) commutateur Figure 4, (b) commutateur Figure 13

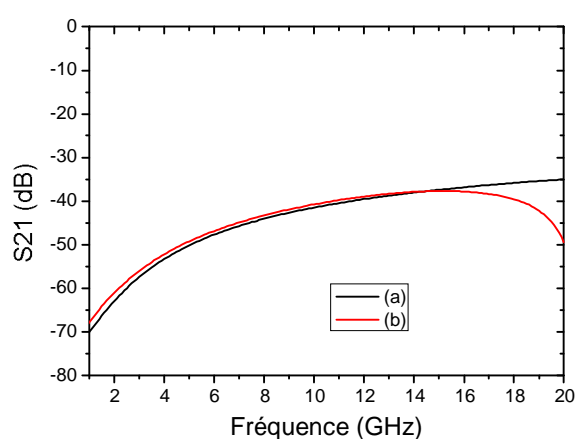


Figure 12 : Coefficient de transmission de l'antenne au circuit (si bloqué). (a) commutateur Figure 4, (b) commutateur Figure 13

Entre 1 et 10.6 GHz, le commutateur présente un coefficient de réflexion inférieur à -10.7 dB et des pertes d'insertion inférieures à 1.7 dB. L'isolation entre l'antenne et la partie bloquée du circuit est supérieure à 40 dB entre 1 et 10.6 GHz.

II.4. Intégration de la transition puce - circuit imprimé dans la conception du commutateur

Dans le cadre des systèmes émetteur - récepteur où un commutateur est utilisé, le commutateur doit être connecté à l'antenne, au récepteur et à l'émetteur. Une transition puce - circuit imprimé est donc nécessaire pour pouvoir connecter le commutateur à l'antenne.

Pour réaliser, nos systèmes nous avons défini au premier chapitre le substrat d'accueil (Rogers 4003) et avons présenté plusieurs méthodologies pour connecter une puce à un circuit imprimé. Nous avons notamment présenté une transition par fils d'attache où les éléments parasites de cette transition sont intégrés dans un filtre d'ordre 3 de Tchebychev d'ondulation 0.02 dB.

L'architecture du commutateur intégrant la transition puce - circuit imprimé est représentée sur la Figure 13.

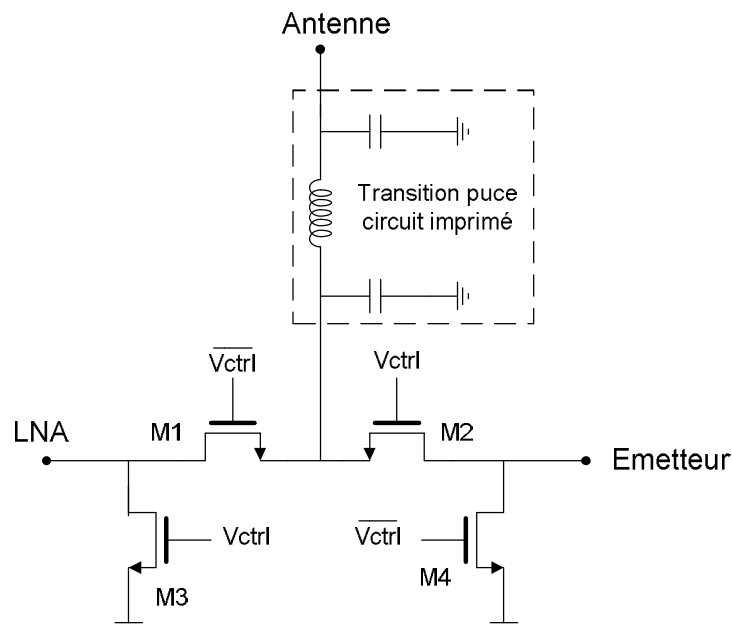


Figure 13 : Architecture du commutateur intégrant la transition puce – circuit imprimé

Les valeurs des éléments composants le filtre de Tchebychev valent ($C1=C2=208$ fF, $L_{bond}=0.75$ nH). En tenant compte des capacités parasites d'entrée du switch, nous devons ajouter une capacité de 20 fF sur la puce et une capacité de 138 fF sur le circuit imprimé. Cette dernière capacité est synthétisée avec une ligne de 33Ω de longueur 0.79 mm.

Les résultats des simulations électromagnétiques du commutateur intégrant la transition puce circuit imprimé sont représentés de la Figure 9 à la Figure 12 (courbes (b)).

Entre 1 et 10.6 GHz, le commutateur présente un coefficient de réflexion inférieur à -16.1 dB et des pertes de transmission inférieures à 1.7 dB. L'isolation entre l'antenne et la partie bloquée du circuit est supérieure à 40 dB entre 1 et 10.6 GHz. Le coefficient de réflexion est meilleur dans le cas du commutateur connecté au circuit imprimé car la transition puce - circuit imprimé nous a permis de compenser la capacité d'entrée du commutateur à l'aide de la transition.

Cette étude a montré la faisabilité de l'intégration d'un commutateur dans la technologie CMOS que nous utilisons. Les performances du commutateur ont même pu être améliorées en intégrant sa

capacité parasite d'entrée (vu de l'antenne) dans un filtre passe bas d'ordre 3 réalisée avec la transition puce - circuit imprimé que nous avons présentée au chapitre I.

III. Intégration d'un émetteur ULB en technologie SiP pour la bande de fréquences 3.1-10.6GHz

III.1. Introduction

Dans certaines applications, comme par exemple la localisation de tags passifs par ULB, il n'est pas intéressant d'intégrer le récepteur pour des raisons de coût de fabrication et surtout pour des raisons de consommation de puissance. En effet comme le montre la référence [2], on peut obtenir avec un émetteur ULB impulsionnel unique de très faibles consommations de puissance pour de faibles débits de transmission. Dans ce paragraphe, nous présentons un prototype d'émetteur ULB comprenant un générateur d'impulsions ULB et une antenne.

La conception de l'antenne a été effectuée dans le cadre de la thèse d'Ali CHAMI [18]. Cette conception est présentée au paragraphe III.2. La conception du générateur d'impulsion a été présentée au chapitre I. La conception d'un SiP incluant le générateur et l'antenne est présentée au paragraphe III.3. Les résultats de mesures en chambre anéchoïde, réalisées dans le cadre du projet MIMOC dans les locaux d'Orange Lab à La Turbie, sont présentées au paragraphe III.4.

III.2. Conception de l'antenne

La conception de l'antenne a été réalisée dans le cadre de la thèse d'Ali CHAMI et du projet MIMOC. Cette antenne faisant partie du SiP nous la décrivons brièvement dans ce paragraphe. L'étude exhaustive pourra être trouvée dans la thèse d'Ali CHAMI [18]. L'antenne est un monopole dessinée sur un substrat Rogers 4003. La géométrie de l'antenne et ses dimensions sont présentées sur la Figure 14 et dans le Tableau 2.

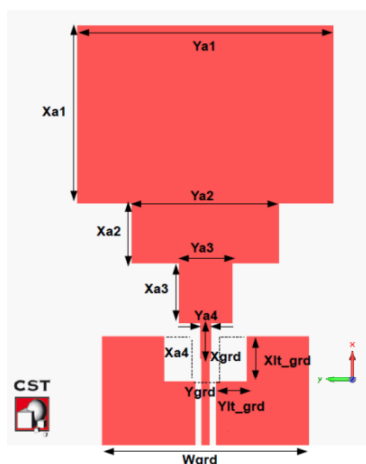


Figure 14 : Géométrie de l'antenne

Xa1	12.35
Xa2	7.15
Xa3	2.6
Xa4	1.52
Ya1	7.8
Ya2	2.6
Ya3	2.6
Ya4	0.56
Xlit_grd	2
Ylit_grd	1.5
Xgrd	2
Ygrd	0.8
Wgrd	10

Tableau 2 : Paramètre de l'antenne (mm)

Une structure de test a été réalisée pour mesurer les performances de l'antenne alimentée par la ligne GCPW présentée dans le chapitre I. Cette structure est représentée sur la Figure 15. Elle est composée de l'antenne ULB, de la ligne 50 Ω et d'un connecteur SMA. Le coefficient de réflexion de la structure de test a été simulé sous CST. La simulation et la mesure du coefficient de réflexion sont

présentées sur la Figure 16. Les diagrammes de rayonnement de l'antenne dans les plans XY et YZ à 3 GHz et 10 GHz sont présentés sur la Figure 17.

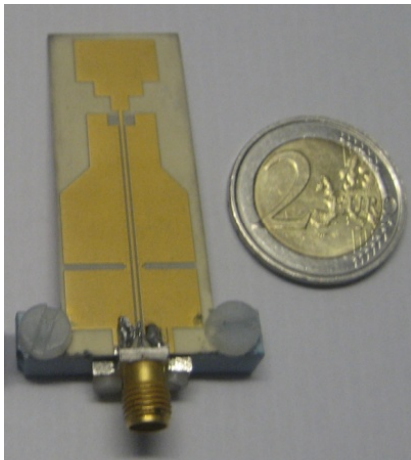


Figure 15 : Structure de test de l'antenne

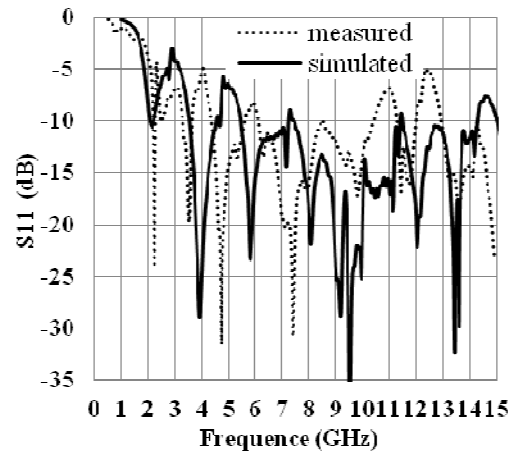


Figure 16 : Coefficient de réflexion de l'antenne

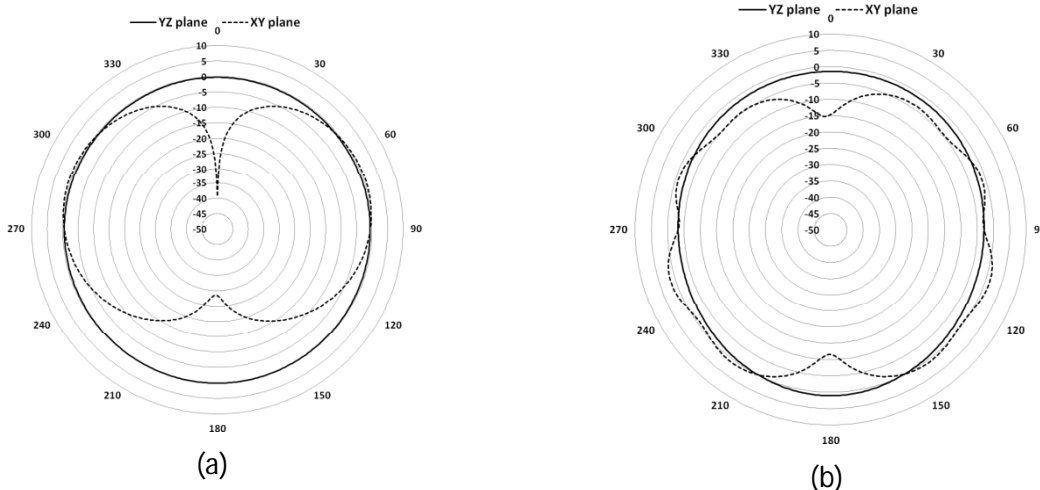


Figure 17 : Diagramme de rayonnement de l'antenne dans les plans XY et YZ, (a) à 3 GHz, (b) à 10 GHz

La Figure 17 montre que l'antenne est quasi omnidirectionnelle dans toute la bande FCC. L'antenne finale occupe une place de $12 \times 13 \text{ mm}^2$. Le coefficient de réflexion de l'antenne est inférieur à -6 dB dans toute la bande de fréquence 3.1 - 10.6 GHz.

III.3. Conception de la carte comprenant l'émetteur et la puce

A ce stade, nous disposons d'une antenne sur circuit imprimé, d'une ligne d'interconnexion et d'un générateur d'impulsions intégrant la connexion puce - circuit imprimé. Pour réaliser l'émetteur, il faut assembler les différents éléments sans dégrader les performances de l'antenne tout en assurant l'intégrité du signal et la stabilité de la puce.

La première étape pour la conception de l'émetteur consiste à lister les entrées/sorties de l'émetteur ULB. Celles-ci sont résumées dans le Tableau 3. Pour fonctionner la puce nécessite trois tensions continues: une alimentation (V_{dd} et Gnd), une tension de contrôle V_{CTRL} et un accès data permettant d'envoyer les données. Cet accès devra être suffisamment haute fréquence pour autoriser des débits de plus de 1 GHz. La sortie du générateur doit être connectée par un accès haute fréquence ($>10 \text{ GHz}$) puisque l'impulsion ULB générée transitera par cet accès.

Vdd	Tension d'alimentation	1.2 V
Gnd	Masse	0 V
V_{CTRL}	Tension de contrôle sur la puce	0.35 V
Data	Bits de données (OOK)	0 - 1.2 V
Out émetteur	Sortie de l'émetteur	Impulsion ULB si data = 1 (front montant) Sinon 0 V

Tableau 3 : Entrées/Sorties de l'émetteur

Avant de réaliser un prototype de l'émetteur comprenant sur le même circuit imprimé l'antenne et le générateur d'impulsions, nous avons réalisé une structure de test pour démontrer la fonctionnalité de l'émetteur. Le schéma de principe de cette structure de test est représenté sur la Figure 18.

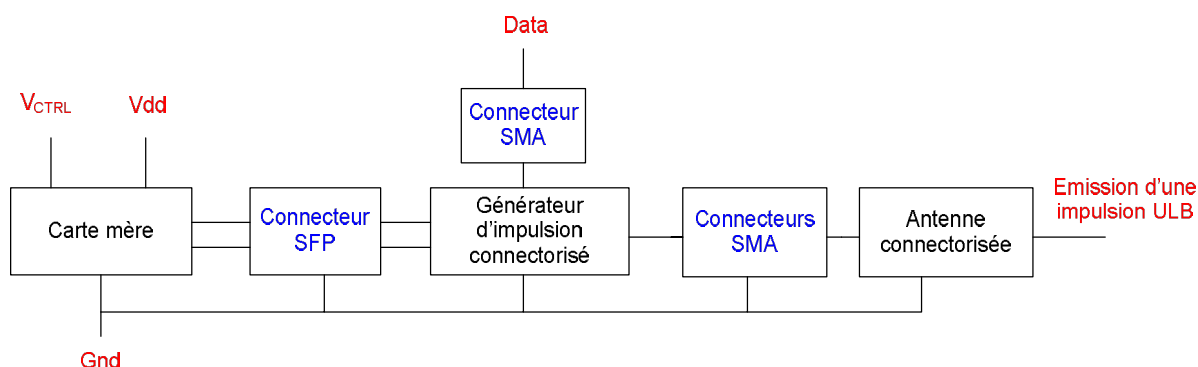


Figure 18 : Schéma de principe de la première structure de test

Cette structure de test est composée d'une carte mère, d'une carte fille contenant le générateur d'impulsions et d'une carte contenant l'antenne. La carte mère a pour rôle de fournir les tensions continues à la carte fille par l'intermédiaire d'un connecteur SFP. Les données binaires sont envoyées au générateur d'impulsions par l'intermédiaire d'un connecteur SMA. Le générateur ayant un débit maximal de 1.2 GHz cette connexion ne dégradera pas les performances de l'émetteur. L'impulsion est transmise à la carte contenant l'antenne par l'intermédiaire d'une connexion SMA.

La carte mère est représentée sur la Figure 19. Celle-ci a été réalisée au laboratoire sur substrat FR4 et a été conçue pour pouvoir fournir neuf accès à la carte fille par l'intermédiaire du connecteur SFP. La masse est également ramenée à la carte fille par l'intermédiaire du connecteur SFP.

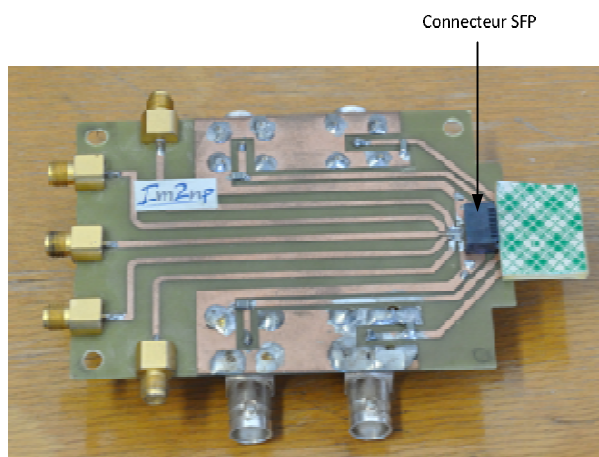


Figure 19 : Carte mère

La carte fille (carte comprenant le générateur d'impulsions connectorisé) est représentée sur la Figure 20. La carte est réalisée selon l'empilage défini dans le Tableau 4.

Neufs accès ont été conçus pour une liaison vers la carte mère via le connecteur SFP. Cinq de ces accès sont réalisés en surface via la métallisation 1 (voir Figure 20.b), les 4 autres sont réalisés via la métallisation 4 et sont ramenés en surface vers la puce par l'intermédiaire d'ilots (voir Figure 20.b). Les autres accès du connecteur SFP permettent de connecter la masse de la carte mère à la masse de la carte fille. Les tensions d'alimentation V_{dd} et de contrôle V_{CTRL} sont amenées de la carte mère à la carte fille via le connecteur SFP et sont récupérées sur la couche de métallisation 4. Ils sont ramenés sur la métallisation 1 par des ilots et sont connectés à la puce par des fils d'interconnexion en passant par une capacité de découplage de 1 nF. La carte fille dispose également de 3 accès hyperfréquence (> 11 GHz) allant d'un connecteur SMA à la puce. Ces accès sont identiques à ceux présentés au chapitre I : ils intègrent les éléments parasites des fils d'interconnexion dans un filtre passe bas du deuxième ordre. Les données binaires arrivent par l'intermédiaire d'un de ces accès sur la puce. De même, les impulsions ULB générées sortent de la carte par l'un de ces accès (voir Figure 20.a).

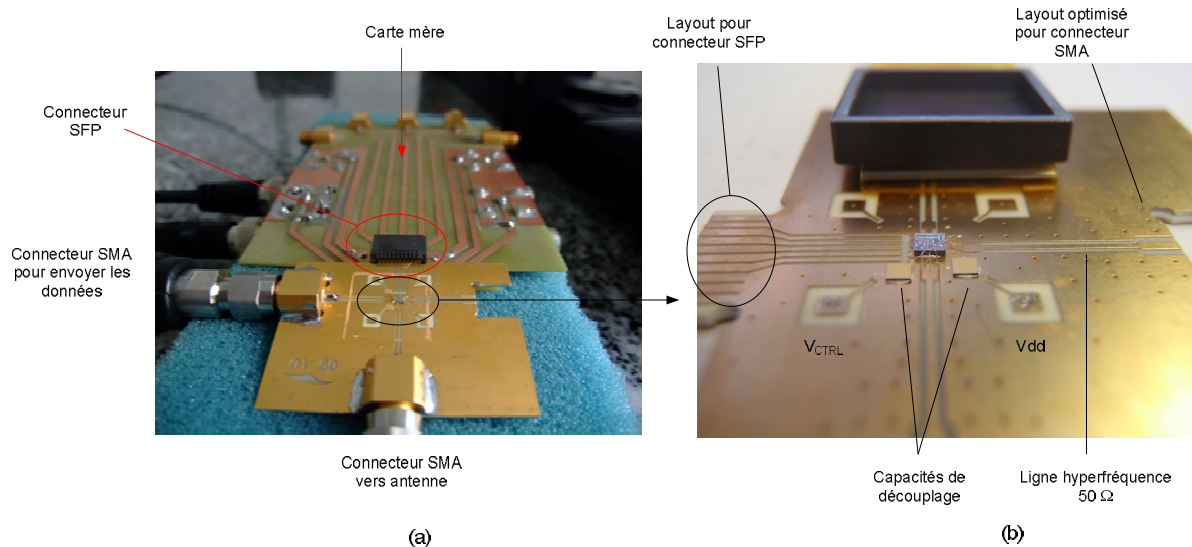


Figure 20 : Générateur d'impulsions connectorisé, (a) carte générateur et carte mère, (b) zoom de la carte générateur.

Métallisation 1	Cuivre	30 μm
Substrat 1	Rogers 4003	200 μm
Métallisation 2	Cuivre	30 μm
Substrat 2	Rogers 4003	500 μm
Métallisation 3	Cuivre	30 μm
Substrat 3	Rogers 4003	200 μm
Métallisation 4	Cuivre	30 μm

Tableau 4 : Couches du circuit imprimé de la carte fille

La carte comprenant l'antenne connectorisée est celle qui a servi à la mesure de l'antenne (Figure 15). Les résultats de mesure de cette structure de test ont validé la fonctionnalité du système. A partir de cette observation, nous avons réalisé un prototype comprenant sur le même circuit imprimé le générateur d'impulsion et l'antenne.

Le prototype final est visible sur les Figure 21. Par rapport à la structure de test, nous avons réalisé plusieurs modifications qui permettent de valider l'aspect faible coût de fabrication du SiP. Tous les signaux entrant (V_{dd} , Gnd , V_{CTRL} , $Data$) arrivent par l'intermédiaire de la couche de métallisation 1. Les seules couches utilisées sont : métallisation 1 et 2, substrat 1 en Rogers 4003 et un substrat pour

solidifier le système. Une version industrielle pourra donc être réalisée avec deux couches de métallisation seulement. Le découplage étant réalisé directement sur le circuit intégré, les capacités de découplage, qui avaient été ajoutées par sécurité, ont également été supprimées. Les données ne proviennent plus d'un accès SMA mais du connecteur SFP : l'interconnexion du SiP est donc intégralement assurée par le connecteur SFP.

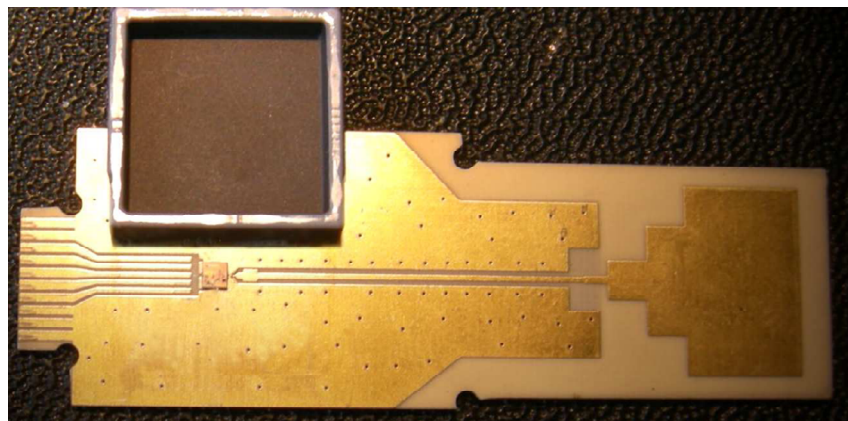


Figure 21 : Prototype de générateur d'impulsion FCC

La taille finale de ce premier prototype de SiP est de $50 \times 18 \text{ mm}^2$ mais celle-ci n'a pas été optimisée. En effet sur la Figure 21 nous voyons qu'une longue ligne 50Ω alimente l'antenne. Une version miniaturisée de ce prototype avec une technologie de report CMS est présentée dans le paragraphe IV.2.

III.4. Performances du SiP prototype

L'émetteur ULB a été testé en chambre anéchoïde. Le banc de test est décrit sur la Figure 22. Les données binaires sont envoyées par un générateur de signaux (Agilent 81134A). A chaque front montant provenant de ce générateur une impulsion ULB est envoyée par l'émetteur. La structure de réception est constituée d'une antenne cornet de 8.3 dB de gain, d'un LNA large bande du commerce de 32 dB de gain et d'un oscilloscope temps réel de 12 GHz de bande passante.

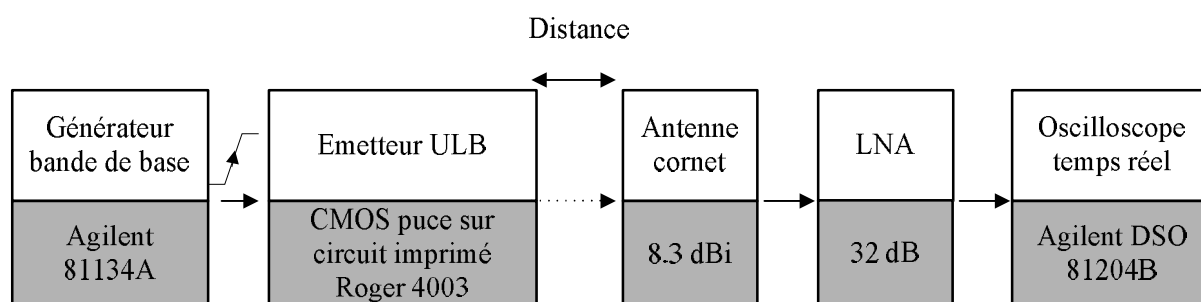


Figure 22 : Banc de test de l'émetteur ULB

La Figure 23 montre l'impulsion reçue à une distance de 80 cm. Une amplitude de 700 mV crête à crête a été mesurée à l'oscilloscope. La Figure 24 montre un train d'impulsions à 1.2 GHz mesuré à une distance de 5 m. Une amplitude de 105 mV crête à crête a été mesurée. Connaissant les différents gains du système on peut déduire la puissance crête émise par le générateur ramenée à une distance de 1 mètre qui vaut -41.3 dBm.

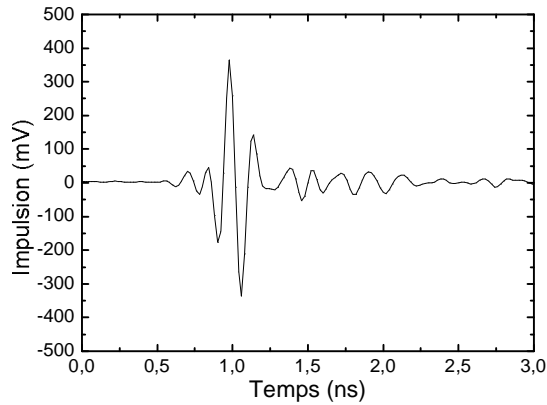


Figure 23 : Impulsion mesurée à 80 cm

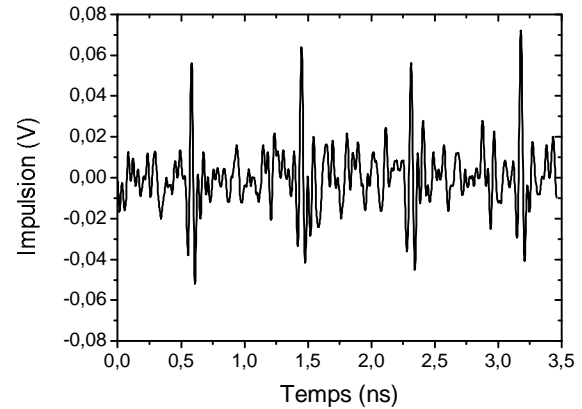


Figure 24 : Train d'impulsions à la fréquence de 1.2 GHz mesuré à 5 m

Les performances de l'émetteur sont comparées aux autres résultats publiés dans la même bande de fréquence dans le Tableau 5.

	Techno. de la puce	Taille de l'émetteur	Consommation	Energie consommée par impulsion	Débit max	Amplitude pic pic mesuré	Puissance pic émise à 1m
Cet émetteur	CMOS 0.13 μ m VDD=1.2V	50mmx18mm	12mW @1.2Gb/s	10 pJ ¹	1.2 Gbs ⁻¹	700 mV @80cm @40,3dB/50 Ω récepteur	-41.3 dBm ²
[19]	CMOS 0.35 μ m VDD=3.3V	39mmx40mm	N/A	N/A	100 Mbs ⁻¹	16 mV @1m @10dB/50 Ω récepteur	-41.9 dBm ²
[20]	SiGe 0.8 μ m	60mmx90mm	38mW @200Mb/s	190pJ ¹	200 Mbs ⁻¹	34 mV @15cm @6.8dB/50 Ω récepteur	-48.7 dBm ²
[21]	CMOS 0.35 μ m	30mmx35mm	N/A	N/A	10 Mbs ⁻¹	13 mV@90cm récepteur gain : N/A	-

¹ Calculé à partir de la consommation et du débit

² Calculé à partir de la mesure pic pic de l'impulsion reçue et du gain du récepteur

Tableau 5 : Emetteurs FCC publiés

IV. Conception de SiPs miniatures pour les applications ULB dans la bande de fréquence 3.1 - 10.6GHz

IV.1. Introduction

Dans ce paragraphe, nous présentons la conception de deux SiPs miniatures pour les bandes de fréquence ULB 3.1 - 10.6 GHz et 6 - 8.5 GHz. Pour des raisons de coût, l'interconnexion du SiP avec la carte mère est réalisée en technologie CMS avec une géométrie de plots d'interconnexion similaire à celle des boîtiers QFN. Ces boîtiers génériques sont conçus pour pouvoir accueillir une ou plusieurs puces et assurer une interconnexion avec l'antenne et des entrées/sorties vers la carte mère.

L'objectif est de miniaturiser la surface de la carte tout en assurant un nombre important d'entrées/sorties entre le boîtier et la carte mère.

IV.2. SiP miniature pour la bande de fréquence 3.1 - 10.6GHz

Le boîtier conçu est représenté sur la Figure 25 et sur la Figure 26. L'empilement des couches composant le boîtier est le même que celui de l'émetteur décrit dans le Tableau 4.

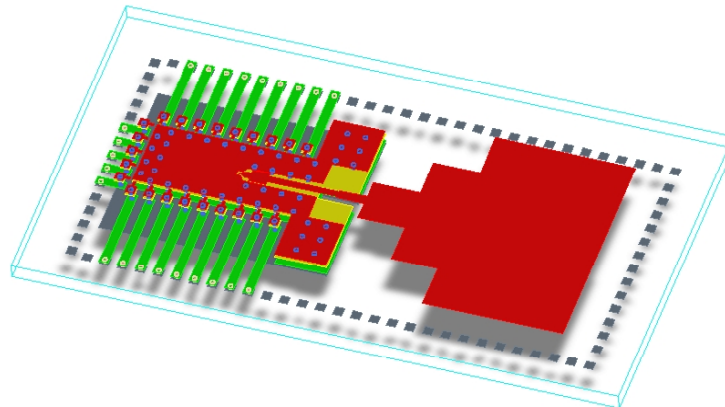


Figure 25 : Vue 3D du SiP 3.1 - 10.6 GHz

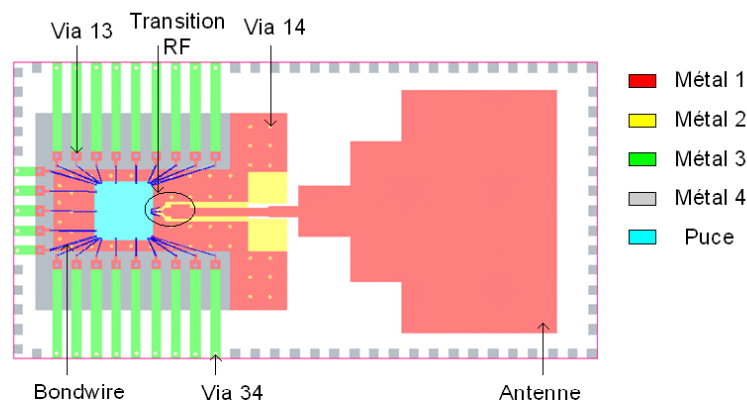


Figure 26 : Vue 2D du SiP 3.1 - 10.6 GHz

Le boîtier permet une redistribution des signaux sur 4 couches métalliques. Vingt cinq connexions ont été prévues entre le boîtier et la carte mère pour les alimentations, signaux de commandes, de données ou de contrôle. Ces connexions se font par l'intermédiaire de plots de $0.5 \times 0.5 \text{ mm}^2$ espacés de 0.5 mm réalisés en métallisation 4. Celles-ci sont ensuite ramenées en métallisation 1 aux abords de la puce. Nous avons prévu une taille maximale de $3.5 \times 3 \text{ mm}^2$ pour le report de la puce ULB et d'éventuelles puces auxiliaires. Ce SiP a été étudié afin de pouvoir accueillir le récepteur intégré décrit dans le chapitre III. Le boîtier comporte également l'antenne FCC présentée au paragraphe précédent. La connexion puce antenne est réalisée à partir de la transition optimisée et de la ligne GPCW qui ont été présentées au chapitre I. Pour des raisons de rigidité mécanique, les plots de soudure du boîtier ne sont pas interrompus autour de l'antenne alors qu'aucune interconnexion n'est prévue dans cette zone. Sous la puce, un pavé en métallisation 1, 2, 3 et 4 a été construit pour amener la masse sur le boîtier avec une faible impédance. La taille finale du boîtier est de $29.5 \times 15 \text{ mm}^2$. Notons que la taille de celui-ci pourrait être encore diminuée en réduisant le nombre d'interconnexions avec la carte mère ou en diminuant la taille maximale de la puce supportée.

IV.3. Effet du boîtier et de la carte mère sur le rayonnement de l'antenne

Comme l'antenne a été conçue indépendamment de la carte mère et du boîtier, il est nécessaire de considérer l'influence de ces derniers sur l'adaptation de l'antenne et sur son diagramme de rayonnement. Dans ce paragraphe, nous présentons des résultats de simulations effectuées sous HFSS qui montrent l'effet des plots de soudure du boîtier et de la carte mère sur l'adaptation de l'antenne et sur son diagramme de rayonnement. Pour cela, nous comparons les performances de l'antenne originelle aux performances (i) de l'antenne sur le boîtier et (ii) de l'antenne sur le boîtier connectée à une carte mère. Dans les diagrammes de rayonnement présentés dans la suite de ce chapitre, le gain de l'antenne pourra être obtenu suivant le code de couleurs donné sur la Figure 27.

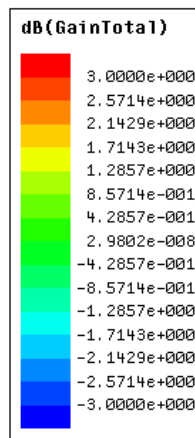


Figure 27 : Code couleur du gain de l'antenne pour les diagrammes de rayonnement des antennes

IV.3.a. Simulation de l'antenne originelle

La Figure 28 montre le modèle HFSS de l'antenne originelle. L'antenne est excitée par un "Lumped Port" permettant de réaliser des simulations rapides mais où un seul mode de propagation est pris en compte. Le résultat de simulation du coefficient de réflexion de l'antenne originelle est représenté sur la Figure 29.a. Les diagrammes de rayonnement de l'antenne simulés aux fréquences 3 GHz, 7 GHz et 10.6 GHz sont représentés respectivement sur la Figure 30, la Figure 31 et la Figure 32.

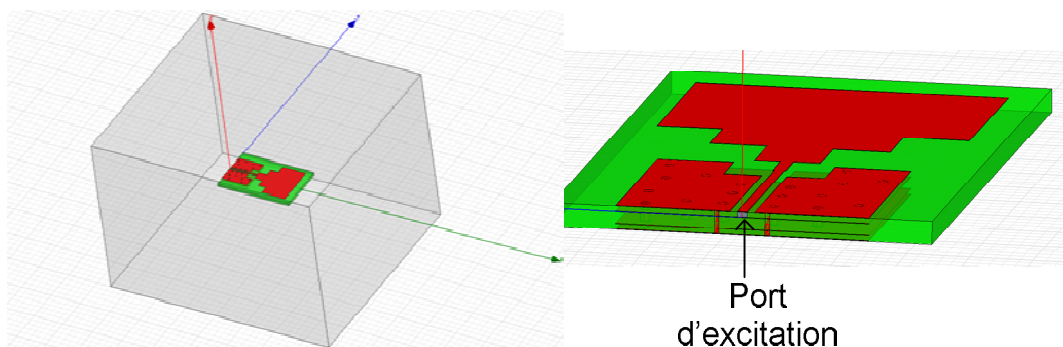


Figure 28 : Modèle HFSS de l'antenne

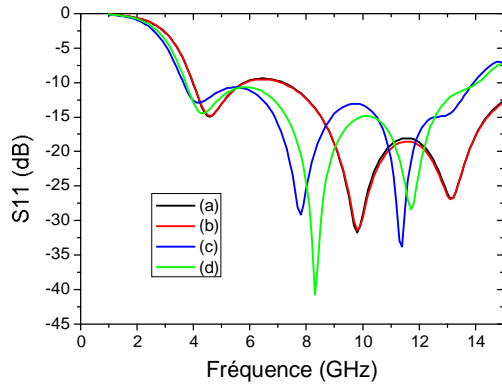


Figure 29 : Coefficient de réflexion de : (a) l'antenne originelle, (b) l'antenne sur le boîtier, (c) l'antenne sur le boîtier connecté à une carte mère en FR4 1.6 mm, (d) l'antenne sur le boîtier connecté à une carte mère en FR4 0.8 mm



Figure 30 : Rayonnement de l'antenne originelle à 3 GHz



Figure 31 : Rayonnement de l'antenne originelle à 7 GHz



Figure 32 : Rayonnement de l'antenne originelle à 10.6 GHz

L'antenne originelle présente un coefficient de réflexion inférieur à -9 dB dans toute la bande FCC et rayonne principalement dans le plan YZ.

IV.3.b. Effet des plots de soudure sur l'adaptation de l'antenne et son diagramme de rayonnement

Dans ce paragraphe, nous étudions l'effet de l'ajout des plots de soudure en métallisation 4 sur l'adaptation de l'antenne et sur son rayonnement. La Figure 33 montre la simulation HFSS de l'ajout des plots sur la couche inférieure du boîtier en métallisation 4. La simulation a également été réalisée en excitant l'antenne par un "Lumped Port". Le résultat de simulation du coefficient de réflexion de l'antenne sur le boîtier est représenté sur la Figure 29.b. Les diagrammes de rayonnement de l'antenne sur le boîtier simulés aux fréquences 3, 7 et 10.6 GHz sont respectivement représentés sur la Figure 34, la Figure 35 et la Figure 36.

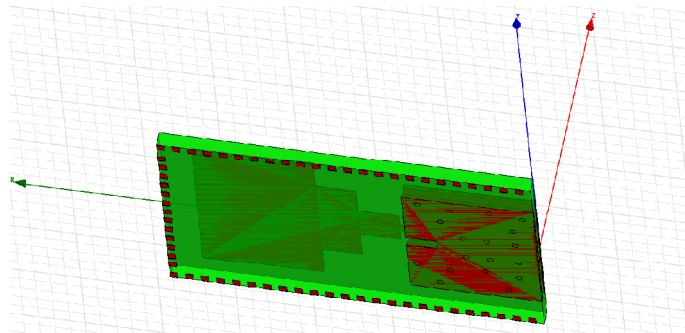


Figure 33 : Ajout des plots en métallisation 4 sur le boîtier



Figure 34 : Rayonnement de l'antenne à 3 GHz



Figure 35 : Rayonnement de l'antenne à 7 GHz



Figure 36 : Rayonnement de l'antenne à 10.6 GHz

Les simulations montrent que les plots de soudure n'ont pas d'influence notable sur le coefficient de réflexion de l'antenne et son rayonnement.

IV.3.c. Effet de l'ajout d'une carte mère en FR4 sous le boîtier FCC sur l'adaptation de l'antenne et sur son diagramme de rayonnement

Dans ce paragraphe, nous connectons le boîtier représenté sur la Figure 33 à une carte mère en FR4 et observons l'influence de la carte mère sur l'adaptation de l'antenne et son rayonnement. Le modèle de simulation HFSS du boîtier connecté à une carte mère est représenté sur la Figure 37. Les simulations présentées ci-après ont été réalisées en excitant l'antenne par un "Lumped Port" sous HFSS.

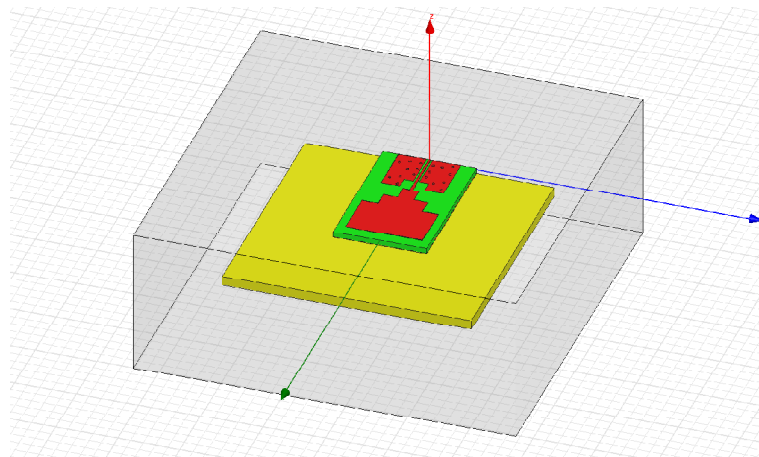


Figure 37 : Ajout d'un substrat FR4 1.6 mm sous le boîtier FCC

Carte mère en FR4 d'épaisseur 1.6 mm

Dans un premier temps, nous supposons que la carte mère est réalisée en FR4 et a une épaisseur de 1.6 mm. Le résultat de simulation du coefficient de réflexion de l'antenne est représenté sur la Figure 29.c. Les diagrammes de rayonnement de l'antenne simulés aux fréquences 3 GHz, 7 GHz et 10.6 GHz sont respectivement représentés sur la Figure 38, la Figure 39 et la Figure 40.

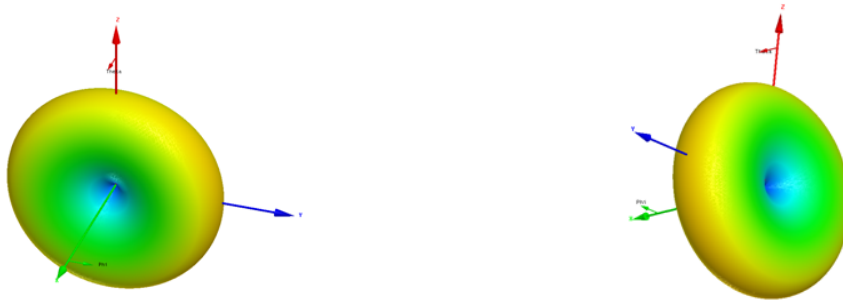


Figure 38 : Rayonnement de l'antenne à 3 GHz



Figure 39 : Rayonnement de l'antenne à 7 GHz

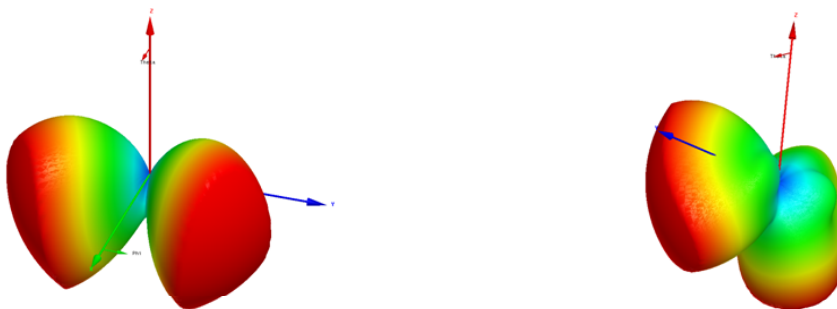


Figure 40 : Rayonnement de l'antenne à 10.6 GHz

La simulation du coefficient de réflexion de l'antenne sur le boîtier connecté à une carte mère qui a été reporté sur la Figure 29.c montre un décalage fréquentiel par rapport à celui de l'antenne originelle. Cependant le coefficient de réflexion reste inférieur à -10 dB dans toute la bande. A 3 GHz, l'effet de la carte mère sur le rayonnement de l'antenne n'est pas visible. En revanche à la fréquence de 7 GHz, l'antenne rayonne beaucoup moins le long de l'axe Z lorsque Z est positif. A 10.6 GHz, l'antenne rayonne dans des plans différents de celui de l'antenne originelle. On peut donc conclure que le report du SiP sur une carte mère en FR4 d'épaisseur 1.6 mm perturbe le rayonnement de l'antenne et ce particulièrement aux fréquences hautes.

Carte mère de 0.8 mm

Nous étudions maintenant l'effet du report du SiP sur une carte mère réalisée en FR4 d'épaisseur 0.8 mm. Le résultat de simulation du coefficient de réflexion de l'antenne est reporté sur la Figure 29.d. Les diagrammes de rayonnement de l'antenne simulés aux fréquences 3 GHz, 7 GHz et 10.6 GHz sont représentés respectivement sur la Figure 41, la Figure 42 et la Figure 43.

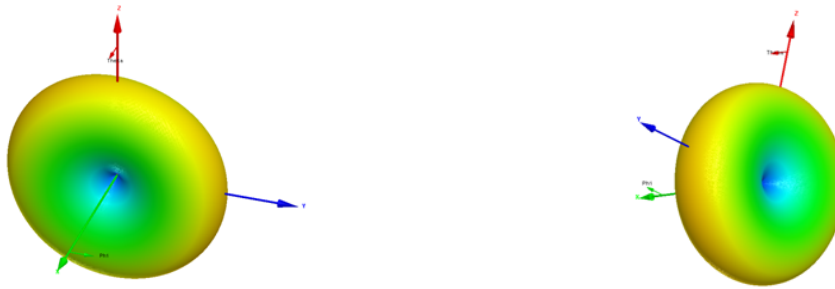


Figure 41 : Rayonnement de l'antenne à 3 GHz



Figure 42 : Rayonnement de l'antenne à 7 GHz



Figure 43 : Rayonnement de l'antenne à 10.6 GHz

La Figure 29.d montre que le coefficient de réflexion de l'antenne sur le boîtier connecté à une carte mère d'épaisseur 0.8 mm subit un décalage fréquentiel moins important que lors de l'utilisation d'une carte mère d'épaisseur 1.6 mm. Ce coefficient de réflexion est toujours bon puisqu'il est inférieur à -10 dB dans toute la bande. Les diagrammes de rayonnement de l'antenne montrent une dégradation des performances moindre et limitée aux fréquences les plus hautes. Il est donc possible de reporter le SiP sur une carte mère en FR4 d'épaisseur 0.8 mm notamment lorsque les signaux transmis n'occupent pas la plage haute de la bande de fréquence. Lorsque toute la bande est requise il est nécessaire d'utiliser un substrat de report d'épaisseur plus faible ou de constante diélectrique moins importante.

IV.3.d. Evaluation de la bande passante des interconnexions vers la carte mère

La bande passante des signaux ULB autorise de transmissions à débit élevé et dans certaines applications, il est nécessaire de pouvoir disposer d'entrées/sorties large bande vers la carte mère. Dans ce paragraphe nous présentons une évaluation de la bande passante permise par le boîtier par simulation électromagnétique avec le logiciel HFSS. Le modèle HFSS est représenté sur la Figure 44 et la Figure 45.

Cette simulation a été réalisée en supposant que le boîtier était reporté sur une carte mère de type FR4 ayant une épaisseur de 0.8 mm. Trois transitions entre la carte mère et une puce en silicium ont

été simulées. La puce est connectée au boîtier par l'intermédiaire de fils d'interconnexion ayant une longueur comprise entre 1.2 et 1.6 mm. Nous avons supposé que quatre fils d'interconnexion connectaient la masse du boîtier et la masse de la puce.

La simulation est effectuée en utilisant six ports "lumped". Le port "1" est connecté à la métallisation 4 de la transition centrale et est référencé par rapport à la masse de la carte mère. Les ports "3" et "5" sont connectés à la métallisation 4 des transitions externes et sont référencés par rapport à la masse de la carte mère. Le port "2" est connecté au pad central de la puce et est référencé par rapport à la masse de la puce. Les ports "3" et "5" sont connectés au pad externe de la puce et sont référencés par rapport à la masse de la puce.

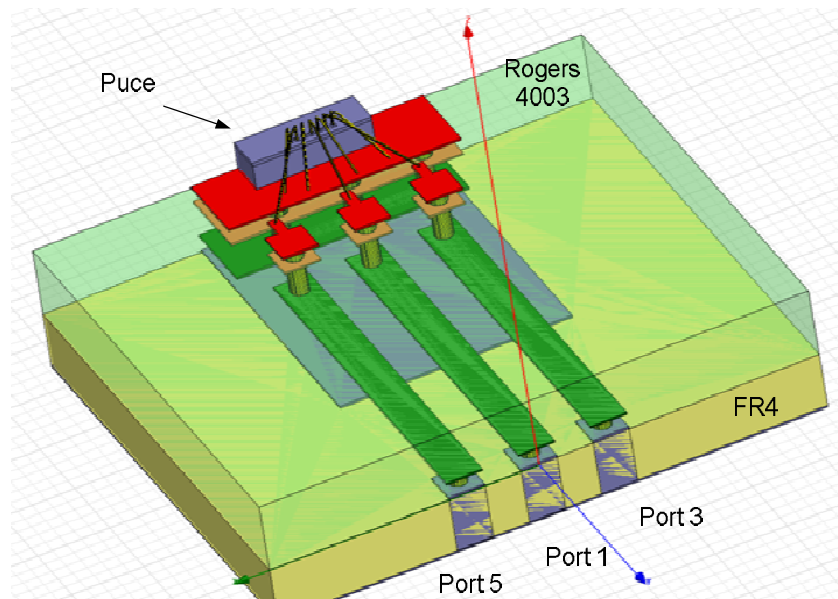


Figure 44 : Simulation HFSS d'une transition entre la carte mère et la puce

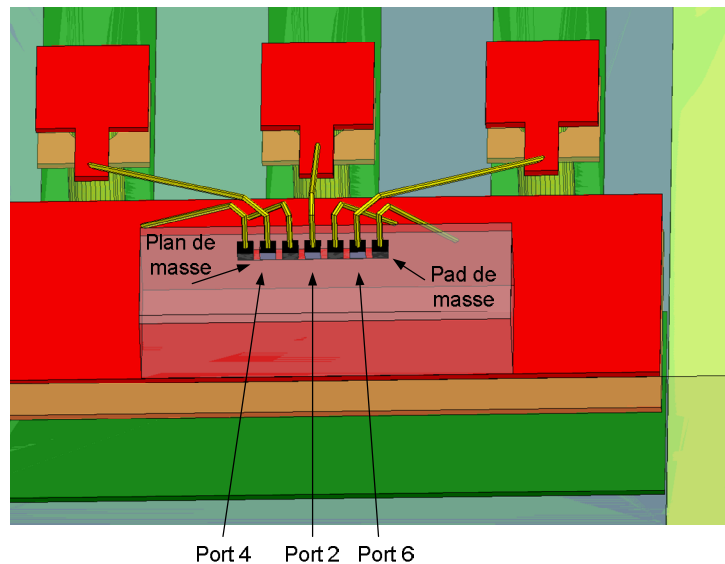


Figure 45 : Simulation HFSS d'une transition entre la carte mère et la puce

Les résultats de simulation sont présentés sur la Figure 46 et sur la Figure 47. Le boîtier présente une bande passante (définie pour un coefficient de réflexion inférieur à -15 dB) de 1.3 GHz. A 1.3 GHz, le couplage entre deux transitions est de -21 dB.

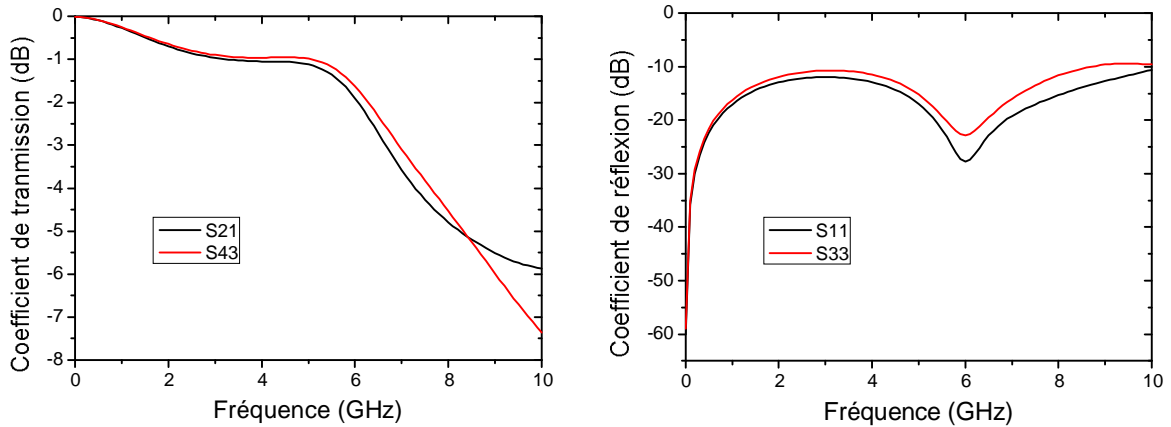


Figure 46 : Coefficient de transmission et de réflexion d'un transition entre la carte mère et la puce

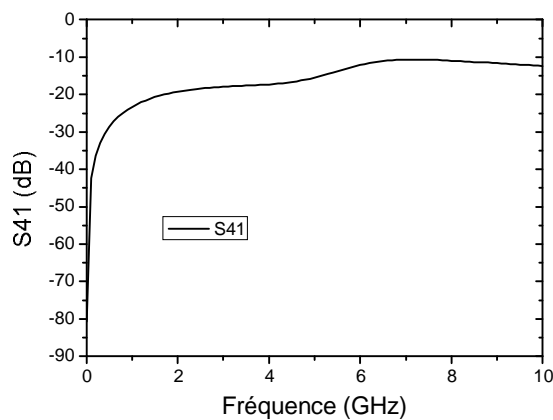


Figure 47 : Couplage entre deux transitions

IV.4. Réalisation d'un boîtier miniature pour les applications ULB dans la bande de fréquence 6-8.5GHz

La bande de fréquence ULB 6 - 8.5 GHz, normalisée en Europe par l'ECC, présente une fréquence minimale de 6 GHz. Pour cette bande il est possible d'obtenir des antennes de taille moins importante que celles adaptées à la bande de fréquence ULB 3.1 - 10.6 GHz. Nous présentons brièvement dans ce paragraphe une adaptation du boîtier précédent à cette bande de fréquence. L'antenne utilisée a été également conçue dans le cadre de la thèse d'Ali CHAMI [18] et du projet MIMOC. Son coefficient de réflexion est présenté sur la Figure 48.

Le boîtier miniature est représenté sur la Figure 49. Comme le boîtier précédent, ce boîtier comporte 25 entrées/sorties et une antenne ECC connectée à une puce par la transition étudiée au chapitre I. Comme la taille de l'antenne est moindre, nous avons pu réduire la taille du boîtier à une surface de $23.5 \times 8.2 \text{ mm}^2$.

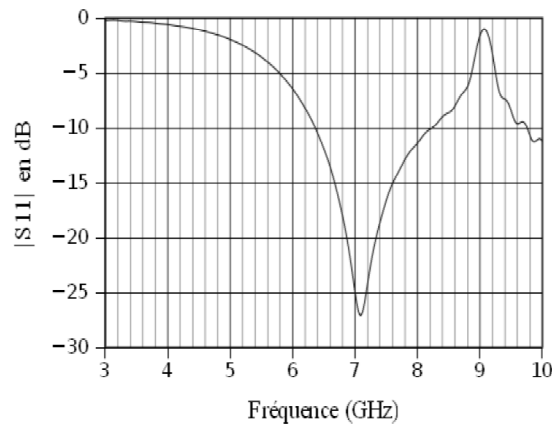


Figure 48 : Coefficient de réflexion de l'antenne ECC [18]

Comme la fréquence maximale d'un système ECC (8.5 GHz) est moins élevée que celle d'un système FCC (10.6 GHz), le diagramme de rayonnement de l'antenne ECC dans un boîtier connectée à une carte mère est moins perturbé par la carte mère que celle d'une antenne FCC dans les mêmes conditions. Cependant il est toujours préférable d'utiliser une carte mère de faible épaisseur.

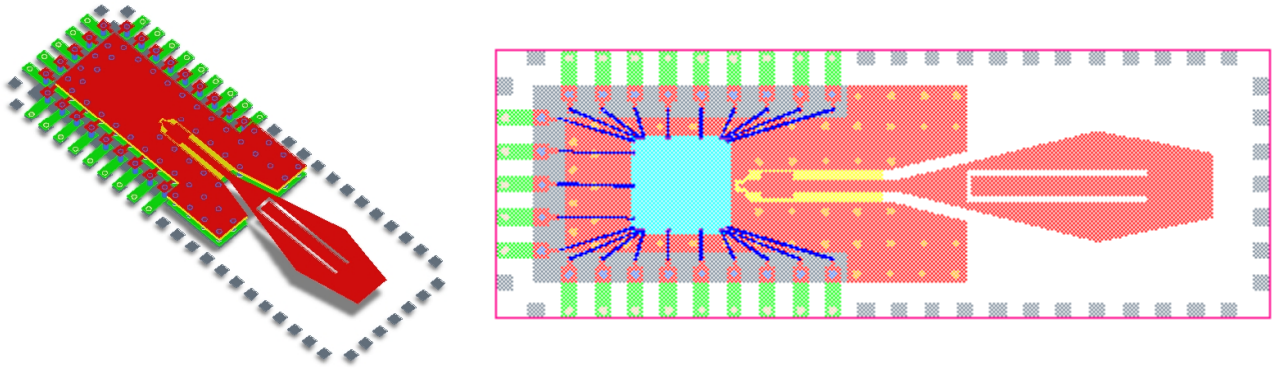


Figure 49 : Boîtier miniature pour les applications ECC

V. Conclusion

Dans ce chapitre nous avons étudié les possibilités d'intégration des émetteurs-récepteurs ULB sous la forme de SiP. Dans le cadre des applications visées deux niveaux de complexité sont particulièrement pertinents : (i) un SiP regroupant une antenne et un émetteur-récepteur complet, (ii) un SiP regroupant une antenne et un émetteur ou un récepteur.

Lorsque le SiP regroupe un SoC incluant la partie émission-réception et une antenne il nécessaire d'associer un duplexeur d'antenne qui, pour des raisons de coût de fabrication, doit être intégré dans le SoC et donc réalisé en technologie CMOS standard. Nous avons étudié les possibilités d'intégration d'un commutateur dans la technologie CMOS utilisée dans le cadre de cette thèse. Nous avons montré par simulation que l'intégration d'un commutateur n'entraînait pas de surcoût de fabrication lié à une augmentation de surface de silicium. Nous avons en effet validé que la technologie utilisée permettait d'obtenir des performances satisfaisantes dans toute la bande de fréquence ULB sans adjonction d'inductances. Les performances simulées incluant la transition vers le circuit imprimé montrent que les pertes d'insertion devraient être inférieures à 1.7 dB.

Dans la deuxième partie du chapitre nous avons présenté un SiP prototype pour la bande de fréquence 3.1 - 10.6 GHz intégrant une antenne et un émetteur ULB impulsionnel. Ce SiP intègre un générateur d'impulsion présenté au chapitre I, une antenne et une interface antenne - circuit intégré présentée au chapitre I. Les performances mesurées sur le prototype sont au niveau de l'état de l'art concernant la puissance crête d'émission et la consommation d'énergie par bit émis.

Dans la troisième partie nous avons présenté deux SiPs miniatures destinés aux bandes de fréquence ULB 3.1 - 10.6 GHz et 6 - 8.5 GHz. Ces deux SiPs sont des évolutions du SiP prototype présenté dans la deuxième partie de ce chapitre. L'interconnexion du SiP avec la carte mère est assurée par des plots de soudure similaires à ceux des boîtiers CMS. L'influence de la miniaturisation, des plots de soudure et de la présence de la carte mère a été étudiée à l'aide de simulations électromagnétiques. Les dimensions obtenues pour 25 entrées/sorties ayant une bande passante maximale de 1.3 GHz vers la carte mère sont respectivement de $29.5 \times 15 \text{ mm}^2$ et $23.5 \times 8.2 \text{ mm}^2$ pour les bandes de fréquences 3.1 - 10.6 GHz et 6 - 8.5 GHz.

- [1] Majid Baghaei Nejad, Zhuo Zou, David S. Mendoza and Li-Rong Zheng (2009). Remotely UHF-Powered Ultra Wideband RFID for Ubiquitous Wireless Identification and Sensing, Development and Implementation of RFID Technology, Cristina Turcu (Ed.), ISBN: 978-3-902613-54-7, InTech, Available from: http://www.intechopen.com/articles/show/title/remotely_uhf-powered_ultra_wideband_rfid_for_ubiquitous_wireless_identification_and_sensing
- [2] R. Vauche, E. Bergeret, J. Gaubert, S. Bourdel, O. Fourquin, N. Dehaese, " A Remotely UHF Powered UWB Transmitter for High Precision Localization of RFID Tag," *Ultra-Wideband (ICUWB), 2011 IEEE International Conference on*
- [3] Shih-Chieh Shin; Jhih-Yu Huang; Kun-You Lin; Huei Wang; , "A 1.5–9.6 GHz Monolithic Active Quasi-Circulator in 0.18 μm CMOS Technology," *Microwave and Wireless Components Letters, IEEE* , vol.18, no.12, pp.797-799, Dec. 2008
- [4] Zuo-Min Tsai; Yu-Sian Jiang; Lee, J.; Kun-You Lin; Huei Wang; , "Analysis and Design of Bandpass Single-Pole–Double-Throw FET Filter-Integrated switches," *Microwave Theory and Techniques, IEEE Transactions on* , vol.55, no.8, pp.1601-1610, Aug. 2007
- [5] Sanusi, R.; Ismail, M.A.; Norhapizin, K.; Rahim, A.; Marzuki, A.; Yahya, M.R.; , "15 GHz SPDT switch design using 0.15 μm GaAs technology for microwave applications," *Electronic Design, 2008. ICED 2008. International Conference on* , vol., no., pp.1-4, 1-3 Dec. 2008
- [6] Sterner, M.; Roxhed, N.; Stemme, G.; Oberhammer, J.; , "Coplanar-waveguide embedded mechanically-bistable DC-to-RF MEMS switches," *Microwave Symposium, 2007. IEEE/MTT-S International* , vol., no., pp.359-362, 3-8 June 2007
- [7] Simon, W.; Baggen, L.; Smith, D.; , "Innovative RF MEMS switches on GaAs," *Antenna Technology and Applied Electromagnetics & the American Electromagnetics Conference (ANTEM-AMEREM), 2010 14th International Symposium on* , vol., no., pp.1-4, 5-8 July 2010
- [8] Byung-Wook Min; Rebeiz, G.M.; , "A Compact DC-30 GHz 0.13- μm CMOS SP4T switch," *Silicon Monolithic Integrated Circuits in RF Systems, 2009. SiRF '09. IEEE Topical Meeting on* , vol., no., pp.1-4, 19-21 Jan. 2009
- [9] Mei-Chao Yeh; Zuo-Min Tsai; Ren-Chieh Liu; Lin, K.-Y.; Ying-Tang Chang; Huei Wang; , "Design and analysis for a miniature CMOS SPDT switch using body-floating technique to improve power performance," *Microwave Theory and Techniques, IEEE Transactions on* , vol.54, no.1, pp. 31- 39, Jan. 2006
- [10] Ohnakado, T.; Yamakawa, S.; Murakami, T.; Furukawa, A.; Taniguchi, E.; Ueda, H.; Suematsu, N.; Oomori, T.; , "21.5-dBm power-handling 5-GHz transmit/receive CMOS switch realized by voltage division effect of stacked transistor configuration with depletion-layer-extended transistors (DETs)," *Solid-State Circuits, IEEE Journal of* , vol.39, no.4, pp. 577- 584, April 2004
- [11] Zhenbiao Li; O, K.K.; , "A 15-GHz integrated CMOS switch with 21.5-dBm $IP_{1\text{dB}}$ and 1.8-dB insertion loss," *VLSI Circuits, 2004. Digest of Technical Papers. 2004 Symposium on* , vol., no., pp. 366- 367, 17-19 June 2004
- [12] Mei-Chao Yeh; Zuo-Min Tsai; Huei Wang; , "A miniature DC-to-50 GHz CMOS SPDT distributed switch," *Microwave Conference, 2005 European* , vol.3, no., pp. 4 pp., 4-6 Oct. 2005

- [13] Jin, Y.; Nguyen, C.; , "A 0.25-mm CMOS T/R switch for UWB wireless communications," *Microwave and Wireless Components Letters, IEEE* , vol.15, no.8, pp. 502- 504, Aug. 2005
- [14] Pao, K.-H., Hsu, C.-Y., Chuang, H.-R. and Chen, C.-Y. (2008), Design of a 3–10 GHz UWB CMOS T/R switch. *Microwave and Optical Technology Letters*, 50: 457–460. doi: 10.1002/mop.23129
- [15] Jheng-Da Wu; Janne-Wha Wu; Chih-Ho Tu; Ching-Wen Tang; Chien-You Lai; Bing-Jiun Lai; Wei-Ju Lai; Liang-Yeh Chi; Ying-Zong Juang; , "A CMOS SPDT switch," *Microwave Conference, 2008. APMC 2008. Asia-Pacific* , vol., no., pp.1-4, 16-20 Dec. 2008
- [16] Piljae Park; Dong Hun Shin; Yue, C.P.; , "High-Linearity CMOS T/R switch Design Above 20 GHz Using Asymmetrical Topology and AC-Floating Bias," *Microwave Theory and Techniques, IEEE Transactions on* , vol.57, no.4, pp.948-956, April 2009
- [17] Jin, Y.; Nguyen, C.; , "Ultra-Compact High-Linearity High-Power Fully Integrated DC–20-GHz 0.18- μm CMOS T/R switch," *Microwave Theory and Techniques, IEEE Transactions on* , vol.55, no.1, pp.30-36, Jan. 2007
- [18] A. Chami " Miniaturisation et intégration d'antennes imprimées pour systèmes communicants ULB pulsés ", Thèse devant être soutenue fin 2011 à Université de Nice
- [19] Junwoo Lee; Young-Jin Park; Myunghoi Kim; Yoon, C.; Jounggho Kim; Kwan-Ho Kim "System-on-package ultra-wideband transmitter using CMOS impulse generator", *Microwave Theory and Techniques, IEEE Transactions on* Volume: 54 Issue: 4 Part=2, June 2006 Page(s): 1667- 1674
- [20] Schleicher, B. Dederer, J. Leib, M. Nasr, I. Trasser, A. Menzel, W. Schumacher, H. "Highly compact impulse UWB transmitter for high-resolution movement detection" *Ultra-Wideband, 2008. ICUWB 2008. IEEE International Conference on*, Publication Date: 10-12 Sept. 2008, Volume: 1, On page(s): 89-92
- [21] M. Miao, C. Nguyen, "On the Development of an Integrated CMOS-Based UWB Tunable-Pulse Transmit Module", *Microwave Theory and Techniques, IEEE Transactions on* Volume: 54 Issue: 10, October 2006 Page(s): 3681- 3687

CONCLUSION GENERALE ET PERSPECTIVES

I. Conclusion générale

Nous avons vu dans l'introduction que la technologie de communication ULB Impulsionnelle est potentiellement intéressante pour lever certains verrous technologiques comme la précision de localisation ou l'augmentation des débits de communication tout en conservant un bilan énergétique avantageux. Les travaux réalisés dans cette thèse ont permis d'apporter certaines solutions technologiques concernant l'intégration et la miniaturisation des nouveaux objets communicants utilisant les bandes de fréquences ULB (Ultra Large Bande) entre 3 et 10 GHz. Les résultats obtenus peuvent intéresser diverses applications et notamment : les réseaux de capteurs, les réseaux sans fil personnels et corporels, la RFID. Les principales caractéristiques demandées par ces applications sont de manière générale un faible coût de fabrication, une très faible consommation d'énergie et une taille miniature.

Pour réaliser un système ULB faible coût, miniature et de conception indépendante d'une carte mère, nous avons choisi de réaliser ces systèmes en utilisant une approche de type "System In Package" avec une technologie d'interconnexion faible coût de type "wirebonding" entre le circuit intégré et le boîtier qui intègre l'antenne ULB.

Ce type d'interconnexion étant connu pour générer des éléments parasites importants limitant sa bande passante Le premier chapitre a eu pour objectif de lever ce verrou technologique pour les bandes de fréquences ULB 3 - 10 GHz. Nous avons proposé des méthodologies d'interfaçage permettant de réaliser sans augmentation notable de coût une transition large bande entre le circuit intégré et le circuit imprimé du boîtier. Nous avons proposé des modèles électriques des transitions par "wirebonding" prenant en compte l'effet d'une masse locale sur le circuit intégré qui ont été validés sur des prototypes. Nous avons utilisé ensuite ces transitions optimisées pour connecter un générateur d'impulsions pour la bande de fréquences 3 - 10 GHz à un circuit imprimé. Nous avons montré en mesure que la transition ne dégradait pas les impulsions générées. Nous avons également présenté un générateur d'impulsions où le filtre de sortie est réalisé en partie avec la transition puce - circuit imprimé. Cette interface utilisant un "codesign" entre le silicium et la transition a permis d'améliorer les performances du générateur tout en réduisant la surface occupée sur le silicium.

Dans le deuxième chapitre, nous avons présenté un état de l'art des différentes architectures permettant la détection non cohérente d'une impulsion ULB. Nous avons focalisé notre étude sur les détecteurs non cohérents qui sont les mieux à même de répondre aux besoins des applications visées car ils permettent d'obtenir une consommation de puissance faible pour les bas débits de communication. Parmi les détecteurs non cohérents, les détecteurs de crête et les détecteurs d'énergie permettent des architectures très simples qui facilitent la mise en œuvre d'une gestion d'alimentation efficace permettant d'éteindre le récepteur entre deux impulsions et donc des consommations de puissance très faibles pour les bas débits de communication. Dans la deuxième partie de ce chapitre, nous avons mis en évidence l'effet des différents paramètres du système de réception (bande passante, facteur de bruit du LNA, durée d'intégration ou de détection) sur le taux d'erreur binaire et sur la portée de communication dans le cas d'un récepteur comprenant un détecteur d'énergie ou un détecteur de crête. Dans la dernière partie de ce chapitre, nous avons présenté un détecteur de crête très simple basé sur des inverseurs CMOS. Le détecteur, réalisé dans une technologie CMOS 130nm, présente en mesure une sensibilité de $-64\text{dBm}@1\text{Mbps}$ et fonctionne jusqu'à des débits de 100 Mbps où il présente une consommation de 84 pJ/bit.

Dans le troisième chapitre, nous nous sommes intéressés à l'intégration sur silicium des récepteurs ULB pour radio impulsionnelle. Dans la première partie de ce chapitre, nous avons présenté un état de l'art des différentes architectures de LNAs en nous focalisant sur les performances clés du point

de vue des récepteurs non cohérents à détection d'énergie ou à détection de crête. Nous avons présenté des conceptions de LNAs pour différentes gammes de fréquences ULB en prenant en compte l'interface par "wirebonding" vers la carte et l'antenne. Nous avons montré l'intérêt d'un "codesign" entre l'interface et la cellule d'adaptation d'un LNA pour réduire la surface de silicium et améliorer son facteur de bruit. Dans la deuxième partie de ce chapitre, nous avons présenté la conception d'un récepteur utilisant l'intégralité de la bande 3 - 10 GHz.

Dans le quatrième chapitre, nous avons présenté les problématiques d'intégration des émetteurs et des récepteurs ULB de type impulsionnel dans le cas d'une approche de type SiP. Dans la première partie de ce chapitre, nous avons évalué les performances qu'il était possible d'atteindre avec un commutateur d'antenne intégré dans une technologie CMOS standard. Dans la deuxième partie, nous avons présenté la réalisation et la caractérisation d'un SiP incluant une antenne et un émetteur ULB pour la bande de fréquence 3.1 - 10.6 GHz. Les mesures en chambre anéchoïde ont montré que cet émetteur était au niveau de l'état de l'art concernant la puissance crête d'émission et la consommation d'énergie par bit. La dernière partie du chapitre a présenté la conception de deux boîtiers miniatures intégrant une antenne ULB pour les gammes de fréquences 3 - 10 GHz et 6 - 8.5 GHz. Des simulations électromagnétiques ont mis en évidence l'effet de la carte mère sur le diagramme de rayonnement de l'antenne.

II. Perspectives

Les travaux réalisés dans cette thèse ont permis de montrer certaines potentialités de la radio ULB impulsionnelle conjuguée à une approche de type SiP pour la réalisation d'objets communicants faible coût et faible consommation. Ces travaux sont bien avancés pour ce qui concerne les émetteurs ULB dans la bande 3 – 10 GHz. Concernant les récepteurs, et de manière générale les émetteurs-récepteurs, les travaux présentés devront être complétés par la mise en œuvre d'une gestion d'alimentation sur le récepteur présenté au chapitre 3 et par son association avec un émetteur sur une même puce ou dans un même SiP. L'architecture particulièrement simple du détecteur présenté au chapitre 2 devrait faciliter la mise en place d'une gestion d'alimentation efficace. Finalement des systèmes d'émission-réception ULB devront également être finalisés pour les autres bandes ULB et notamment pour la bande 6 - 8.5 GHz.